



TITLE:

半導体パッケージの反りと残留応力評価および応力に起因する電子デバイスの電気的特性変動評価(Dissertation\_全文)

AUTHOR(S):

松田, 和敏

---

CITATION:

松田, 和敏. 半導体パッケージの反りと残留応力評価および応力に起因する電子デバイスの電気的特性変動評価. 京都大学, 2013, 博士(工学)

ISSUE DATE:

2013-03-25

URL:

<https://doi.org/10.14989/doctor.k17552>

RIGHT:

半導体パッケージの反りと残留応力評価および応力  
に起因する電子デバイスの電気的特性変動評価

平成 2 5 年 2 月

松田 和敏

# 目次

<b>第 1 章 緒論</b>	<b>1</b>
1.1 研究背景 .....	1
1.2 本論文の目的 .....	7
1.3 本論文の概要 .....	7
第 1 章の参考文献 .....	9
 <b>第 2 章 多層基板の熱変形挙動解析による物性値同定方法</b>	 <b>14</b>
2.1 緒言 .....	14
2.2 評価用基板とその構成材料の物性値 .....	15
2.2.1 評価基板の構成 .....	15
2.2.2 基板構成材料の物性値 .....	18
2.2.3 評価基板の見かけの CTE の解析方法 .....	22
2.2.3.1 基板の銅配線のモデル化 .....	22
2.2.3.2 適切なメッシュサイズの決定 .....	24
2.2.4 評価基板の見かけの CTE の解析結果および考察 .....	26
2.2.4.1 弾性解析 .....	26
2.2.4.2 粘弾性解析 .....	28
2.3 結言 .....	33
第 2 章の参考文献 .....	34
 <b>第 3 章 Flip chip パッケージの反り評価</b>	 <b>36</b>
3.1 緒言 .....	36

3.2	評価サンプルの構成 .....	37
3.3	シミュレーションモデル .....	37
3.4	材料物性値 .....	39
3.5	解析結果および考察 .....	41
3.6	結言 .....	44
	第3章の参考文献 .....	46
 第4章 Flip chip パッケージの反りを考慮したチップ表面の残留応力評価		48
4.1	緒言 .....	48
4.2	評価試験片とその構成材料の物性値 .....	49
4.2.1	試験片の構造 .....	49
4.2.2	構成材料の物性値 .....	50
4.3	ピエゾ抵抗チップを用いた残留応力測定 .....	52
4.3.1	ピエゾ抵抗チップ .....	52
4.3.2	測定方法 .....	53
4.4	Flip chip パッケージの反り・応力解析 .....	54
4.4.1	模擬チップと基板の初期反りの測定結果 .....	55
4.4.2	シミュレーションモデル .....	57
4.4.3	解析結果および考察 .....	59
4.5	結言 .....	63
	第4章の参考文献 .....	64
 第5章 樹脂封止パッケージの反りを考慮したチップ表面の残留応力評価		67
5.1	緒言 .....	67
5.2	評価試験片とその構成材料の物性値 .....	68
5.2.1	試験片の構造 .....	68
5.2.2	構成材料の物性値 .....	68
5.3	ピエゾ抵抗チップを用いた残留応力測定 .....	70
5.4	樹脂封止後の反り・応力解析結果 .....	71
5.4.1	シミュレーションモデル .....	71

5.4.2 解析結果および考察 .....	73
5.5 模擬チップ上における残留応力の解析精度の改善 .....	75
5.5.1 デジタル画像相関法を用いた模擬チップと封止樹脂の界面近傍の ひずみ測定 .....	75
5.5.2 ひずみの解析結果と考察 .....	77
5.5.3 模擬チップと封止樹脂界面近傍の樹脂物性の変化を考慮した ひずみ解析 .....	79
5.5.4 反りと応力の解析結果および考察 .....	83
5.6 結言 .....	86
第5章の参考文献 .....	87

## 第6章 樹脂封止された積層半導体チップの残留応力に起因する電気特性変動

評価手法 .....	89
6.1 緒言 .....	89
6.2 積層構造パッケージにおける電気特性変動例 .....	90
6.3 評価方法の概要 .....	93
6.4 模擬積層チップと4点曲げ負荷試験による評価手法の検討 .....	94
6.4.1 模擬積層チップ .....	94
6.4.2 4点曲げ試験による電気特性変動計測 .....	98
6.4.3 応力解析とピエゾモデルによる評価 .....	99
6.4.4 ピエゾ効果マトリックスを用いた電流変化率の予測 .....	100
6.4.5 特異応力場解析を用いた評価 .....	103
6.5 実パッケージ構造への評価手法の適用と検証 .....	107
6.5.1 応力解析と特異応力場解析 .....	107
6.5.1.1 ピエゾチップを用いた応力値評価用サンプル .....	107
6.5.1.2 モデリング方法と評価結果 .....	110
6.5.2 評価結果および考察 .....	113
6.6 結言 .....	117
第6章の参考文献 .....	118

---

第 7 章 結論	121
関連発表論文	125
謝辞	128

# 第 1 章

## 緒論

### 1.1 研究背景

近年，モバイル端末に代表されるエレクトロニクス機器の高機能化，高速化，小型化は，半導体デバイスの進化によって実現されてきた．半導体デバイスの小型化・高機能化は，シリコンウエハの微細配線化に沿い進展（Moore の法則）してきたが，今後の 32nm, 22nm 以降の微細化（More Moore）では，技術障壁が高まっている．この状況から，エレクトロニクス機器のさらなる高性能化・多機能化には，ムーアの法則とは異なる進化（More than Moore）が求められ，その実現には，一つのパッケージの中に複数個の LSI (Large Scale Integration) を搭載する SiP (System in a Package)の実装技術が重要な役割として注目されている．そして，SoC (System on a Chip) と SiP の組合せにより付加価値の高い半導体製品を創出していくことが，今後のエレクトロニクス機器の競争力の鍵となる[1-4]．複数個の LSI デバイスを実装する SiP の設計は，デバイス間の信号の伝搬遅延をいかに少なくすることも重要な点であり，デバイス間の接続を水平方向から垂直方向に行うことで遅延を抑えることができることから，新たに 3D（三次元）実装技術が発展してきた．半導体パッケージ構造の変遷を図 1.1 に示す．ワイヤーボンド接続工法が半導体デバイスとプリント配線板（Printed wiring board, 以下基板と呼ぶ）を接続する主流だったが，1990 年後半から信号の高速伝送を目的にフェイスダウンで半導体デバイスのワイヤレスボンディングを行うフリップチップ実装（Flip chip bonding）技術をベースとした COC (Chip on Chip) や，TSV (Through Silicon Via : シリコン貫通電極) を用いたデバイス積層構造，および COC と TSV を組

み合わせた多機能モジュールのパッケージも実用化が現在も進んでおり、今後も開発が加速していくと思われる。さらに、デバイスを実装する基板も、小型化・薄型化・高速伝送化が進んでいる。現在の基板の最先端構造では、小型化を左右する銅配線の幅は  $14\mu\text{m}$  ほどで、基板の層数は 10 層を超える構造もある[5]。また、パッケージング技術と融合することにより、Capacitor・Resister・Inductor の受動素子とともに、LSI（能動素子）を基板に内蔵したモジュール基板[6-7]と呼ばれるものもある。さらには、高速伝送のために、基板のコア部分（基板の板厚方向中央で最厚層）を取り除き伝送速度を速めた Coreless 基板[8-11]や、基板材料を有機材料から Si に変更し、さらなる高速化を実現した Si-interposer[12]も実用化されている。Si-interposer は TSV 構造に加え、Capacitor・Resister・Inductor もウエハプロセスで成形することも可能である。これらは、LSI デバイス側の技術であったウエハへの加工技術や、エレクトロニクス機器側に存在した各種の受動部品を半導体パッケージ側に取り込むことになり、従来の半導体デバイス、電子部品、半導体パッケージ、プリント配線板という技術の境界が消滅することを意味し、実装技術は半導体システム統合技術へと進んでいる。

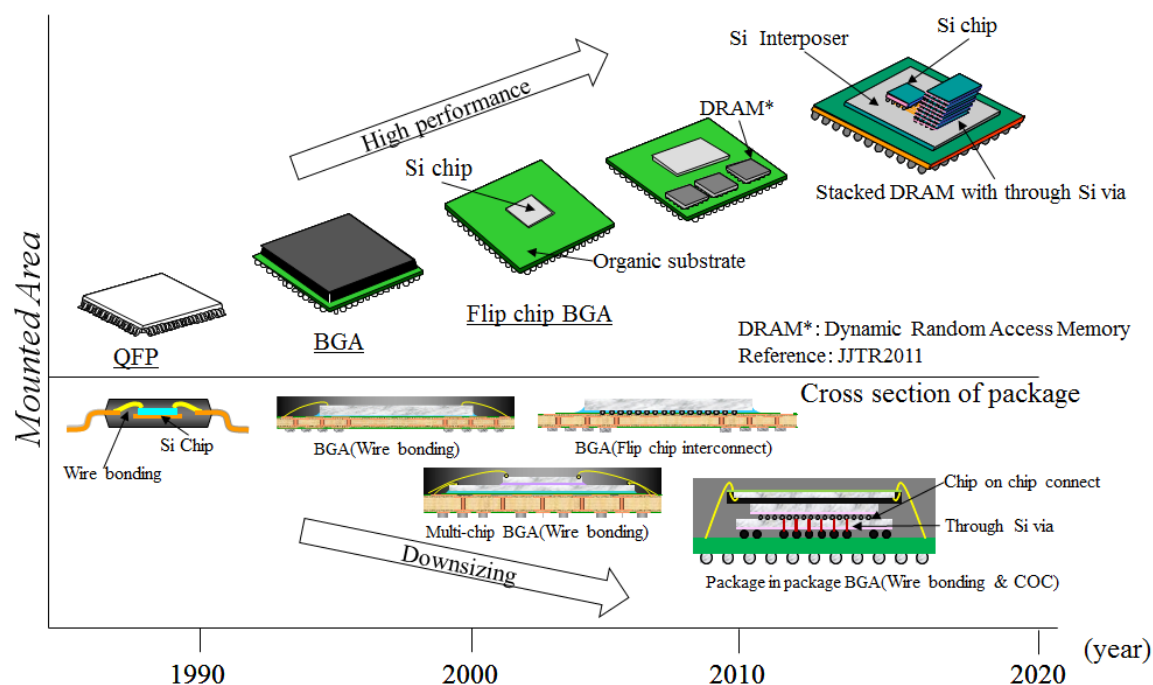


Fig.1.1 Load map of a semiconductor package.



一方で、半導体パッケージの小型化・薄型化・高密度化は、実装において発生するパッケージの反りや残留応力の発生機構を複雑化し、パッケージ製品に多様な不良を発生させる要因となった。そのため、開発の上流から、想定される信頼性不良の原因を予測し、パッケージ構造を最適化する設計技術が求められている。その設計支援手法の一つとして、有限要素法（Finite Element Method）などの数値解析手法を用いたシミュレーション技術が必要不可欠となっており、解析精度への要求も高まっている。

半導体パッケージは、シリコン、有機材料などの特性の大きく異なる材料により形成されているため、パッケージ構成材料間の大きな線膨張係数差に起因する実装時の反りや残留応力が発生し、図 1.2(a), (b)に示すように、さまざま機械的信頼性不良の問題を引き起こす。パッケージの反りが設計基準内に収まっていなければ、マザー基板への実装の際にパッケージの反りが原因のはんだの接続不良が発生する。また、反りの影響で図 1.2(a)に示す様なゆがんだ形状のはんだが特定のエリアで発生し、はんだの接続信頼性に影響がでることもわかっている[13]。この反りの原因は、基板とシリコン、および樹脂の線膨張係数のミスマッチにあるが、基板は、その主材料（エポキシ系樹脂）に加え、銅箔やソルダーレジスト材などの多層構造で形成されているため、基板の見かけの線膨張係数を簡易計算によって見積ることは難しい。そのため、実際に製作された基板の線膨張係数を測定し、反りのシミュレーションを行う必要がある。しかし、基板の製作には、2 層基板で 2 週間～3 週間、4 層以上の基板になると製作に 4 週間～16 週間も必要になる。開発初期のパッケージの設計段階から反りを高い精度で予測することができれば、パッケージを最適に設計することができる。そのためには、開発初期の基板の設計が完了した時点から精度の高い基板の見かけの線膨張係数を求める必要がある。

また、近年では機械的に壊れていなくても電氣的に動作不良を引き起こす現象がクローズアップされ研究もおこなわれている[14-20]。具体的には、実装によって半導体パッケージの中のシリコンチップに生じた残留応力が、チップ面に形成された半導体デバイスの電氣的な動作特性を変動させ、半導体パッケージの最終出荷試験（動作試験）において不具合が発生し、製品の歩留まりを低下させる主要な原因の一つとなっている。しかしながら、このような問題に適切に対処できる工学的知見に基づいた汎用的なシミュレーション技術は確立しておらず、経験則に基づいたパッケージの設計が行われることが多い。さらに、図 1.1 で示したパッケージ構造の変化は、TSV 構造に代表される 3 次元化により、さらなるチップの多段積層化を可能としたかわりに、チップ表面に発生

する残留応力分布をより複雑化させた。したがって、半導体パッケージに発生する反りや、シリコンチップ表面に発生する残留応力を適切に見積もり、残留応力によるシリコンチップ上に形成された半導体デバイスの電気特性変動までを予測できる評価手法、すなわち機械的応力から電気特性変動までを解析できる汎用的なシミュレーション技術が切望されている。

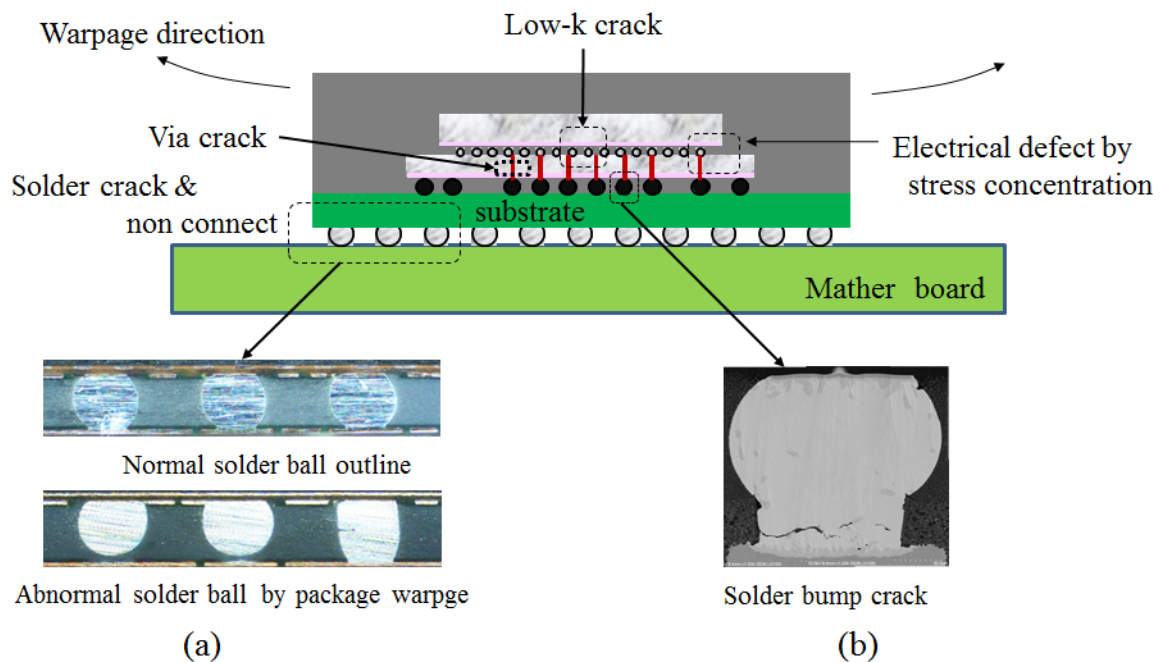


Fig.1.2 A few failure mode of a semiconductor package.

以上のような研究背景から、解析精度の高い反りや残留応力、および残留応力から半導体デバイスの電気特性変動までを予測するシミュレーション技術の確立を、本研究では対象とする。

半導体パッケージの反り測定には、一般的に接触変位計や非接触のレーザー変位計、シャドウモアレ装置などを用いて行う。パッケージを構成する基板やチップは、その製造工程で構成材料の熱収縮の影響で、初期の状態から反りが発生している。チップは回路が形成されている裏面側を薄く削ることで、反りが顕著に現れる。そのため、これらの測定装置を用いて各材料の初期の反りも測定する必要がある。さらに、実装工程で半導体チップに生じる残留応力の測定方法は、ピエゾ抵抗効果を利用した応力測定用の汎用テストチップが市販されており[21]、半導体チップ表面に生じる残留応力を比較的精度よく実測することができる[22]。しかし汎用のテストチップでは、チップ形状や抵抗の配置、個数に制限があるため、チップの薄型化や積層構造および TSV 構造の複雑な応力場を測定評価できるわけではない。この点を補う方法としても、有限要素法による応力解析が必要になる[23-26]。有限要素法による半導体パッケージの反りや残留応力の評価は、パッケージ構成材料が粘弾性特性を有することから、この粘弾性挙動をモデル化して精度よく反りを解析する必要がある[27-32]。しかし、これらの解析事例は、反りと残留応力のそれぞれに特化した研究結果であって、両方を同時に精度よく解析した事例は見あたらない。したがって、多種・多様なパッケージを扱う実際の設計現場では、解析コスト（モデリング時間・計算時間）の削減の観点から、反りと応力を共通のモデルで精度よく解析できる評価手法が必要とされている。

次に、機械的応力と半導体デバイスの電気特性変動の関係であるが、図 1.2 に示すパッケージ構造と類似のチップ二段積層構造の実際のデバイスを用いたパッケージで、筆者らの過去の開発で、電気特性変動の不良が発生した。具体的には、下段のロジックチップに形成されたアナログ回路内の特定の回路ブロック(PLL 回路)で過度電流による異常発振の不良が発生した。原因特定のために、特性変動を起こしたサンプルを化学薬品にて樹脂開封し再度測定を試みると、回路は正常に動作し電気特性起因の不良は発生しなかった。よって、今回発生した電気特性不良は樹脂封止後のロジックチップに発生する残留応力が原因で発生したものであると推定した。次に、アナログ回路は上チップ角部の下に位置していたため、上チップをアナログ回路より遠ざけた位置に実装し、樹脂封止した実験では、特性変動は発生しなかった。このことは、図 1.1 に示すように SiP パッケージが、チップの多段積層構造化することで、電気特性変動の発生リスクが今後も高まっていくことを懸念させた。そこで、設計現場では、チップ多段構造のパッケージにおいて、上段チップ角部と、特性変動を起こす可能性のある下段の半導体素子

との位置関係を定量的に解析する評価手法が求められている．さらには，組立後の半導体素子への応力値を有限要素法で求め，その応力値でも電気特性が変動しない半導体素子設計する，上流のデバイス設計から下流の組立設計までを統合する評価技術の構築も期待されている．

半導体材料である単結晶 Si に生じた応力と電気特性変動の関係は，古くからピエゾ効果として知られている[33]．また，最も多く実際のデバイスで使用されているトランジスタである MOSFET（Metal Oxide Semiconductor Field Effect Transistor：絶縁ゲート型電界効果トランジスタ）のピエゾ効果についても，曲げ負荷試験などによる実験結果が示されている[34-37]．さらに，近年は応力効果を積極的に活用する“歪み”シリコンデバイスの研究も行われている[38]．しかし，これらの評価・実験結果は全て 1Chip 構造で，チップ面内の二次元応力でデバイスの電気特性変動が評価されている．三次元積層チップパッケージにおけるデバイス電気特性変動評価では，パッケージ内部の三次元応力場を精度良く見積もるとともに，応力特異場を含む三次元応力場でのデバイス特性変動評価が必要となる．評価手法としてのピエゾ効果モデルは，応力と電気特性変動を直接結び付ける経験的モデルであり，各デバイスにおける構造や不純物の濃度や種類の違いは評価モデルの中で評価されず，その評価パラメータをデバイスごとに測定する必要がある．しかし，近年の半導体デバイスの微細化や MOSFET 構造の進化，および歪みシリコンに代表される応力効果の活用手法の多様化により，ピエゾ効果モデルと異なる手法の構築の必要性も言われている．そのため，微細配線の世代ごとや，歪みシリコンの構造ごとに，実際のデバイスでの評価結果の蓄積が望まれている．

## 1.2 本論文の目的

本論文では、前述したような研究背景から、構成材料に起因する半導体パッケージの反りと半導体デバイス表面の残留応力の評価、その残留応力から半導体デバイスの電気特性変動を予測するシミュレーション技術の構築を目的に研究を実施した。したがって、本論文における研究は大別して以下の3項目を目的としている。

- (1) 樹脂基板の見かけの線膨張係数を、簡易かつ実用上十分な精度で見積もる手法を提案する。
- (2) パッケージの反りと、シリコンチップ表面の残留応力を、同時に精度よく解析するシミュレーションモデルを構築する。
- (3) 三次元積層構造の半導体チップが樹脂封止されたパッケージを対象とし、応力特異場解析とピエゾ効果モデルを用いたデバイス特性変動評価手法を示す。この評価手法を実際に電気特性変動が起こった三次元積層チップが樹脂封止された実際のパッケージに適用し、提案手法の妥当性・有用性も示す。

## 1.3 本論文の概要

本論文は、本章を含めて全7章から構成される。以下に、本論文の構成と各章の概要を示す。

第1章では、本論文の研究背景、目的および論文概要について述べる。

第2章では、簡易的に半導体パッケージ用基板の見かけの線膨張係数を予測する方法として、基板配線CADデータから直接、有限要素法用のシェル要素を生成するプログラムを開発し、基板構成材料の物性データから、2層基板と4層基板の見かけの線膨張係数を精度よく算出する方法を示す。

第3章では、第2章の手法で求めた見かけの線膨張係数を用いて Flip chip パッケージの温度依存の反り挙動を精度よく解析できることを示す。

第4章では、反り解析に加え Flip chip パッケージの半導体チップに生じる残留応力

を、反り解析と同時に精度よく解析する有限要素法について検証する．その精度の妥当性を検証するために、応力測定用のピエゾ抵抗ゲージを配置した実際のデバイスを模擬したチップを製作し、模擬チップと基板をダイボンディング剤で接合した後の Flip chip パッケージの反りと応力について評価する．

第 5 章では、樹脂封止後のパッケージの半導体チップに生じる残留応力を、反り解析と同時に精度よく解析する有限要素法について検証する．すなわち、第 4 章で用いた方法で、樹脂封止を行った後のパッケージの反りと模擬チップ上の残留応力を測定する．また、封止樹脂の模擬チップ界面における応力緩和現象が、封止樹脂の粘弾性解析のみでは十分考慮できていないと推測し、デジタル画像相関法を用いて模擬チップと封止樹脂の界面近傍の熱ひずみを計測し、その結果と比較することにより、樹脂封止後のパッケージのモデルの妥当性を検証する．

第 6 章では、三次元積層構造の半導体チップが樹脂封止されたパッケージを対象とし、シミュレーションで求めたチップ上の残留応力から、半導体デバイスの電気特性変動を予測する評価技術を示す．三次元積層チップを模擬した試験片を用いて 4 点曲げ試験を行い、チップ上のテスト用 pMOSFET (p-type MOSFET) デバイスの電気特性変動を計測する．応力特異場解析により pMOSFET デバイス近傍の応力場を評価し、その応力値からピエゾ効果を用いて電気特性変動を予測する．その予測結果を実験結果と比較・検証し、応力特異場解析を含む評価手法を検証する．次に、この評価手法を実際に電気特性変動が起こった三次元積層チップが樹脂封止されたパッケージに適用し、提案手法の妥当性・有用性も検証する．

最後に、第 7 章では各章で得られた結果を総括する．

## 第 1 章の参考文献

- [1] 電子情報技術産業協会, “日本実装技術ロードマップ”, 2009.
- [2] 国際半導体ロードマップ委員会, “国際半導体技術ロードマップ”, 2008.
- [3] 本多 進 “高密度実装技術ロードマップ・先端実装技術は SMT からポスト SMT へ 電子部品は複合化, 3 次元化, そして基板内蔵化方向へ”, エレクトロニクス実装学会誌, Vol.6, pp.23-26, 2003.
- [4] 塚田 裕 “特集 実装機器 システムとプリント基板 電子部品 電子計測の周辺機器 実装技術の将来動向”, M & E, Vol.32, pp.166-171, 2005.
- [5] 雀部俊樹, “プリント基板製造における最新技術動向 ビルドアッププリント配線板の技術動向と今後の展望”, エレクトロニクス実装技術, Vol.2, pp.17-25, 1999.
- [6] 飯長 裕, “部品内蔵基板技術の現状と展望 部品内蔵基板の現状と今後の課題について”, エレクトロニクス実装学会誌, Vol.15, pp.519-521, 2012.
- [7] 宇都宮 久修, “エレクトロニクス実装技術の現状と展望 部品内蔵基板の現状と展望”, エレクトロニクス実装学会誌, Vol.11, pp.14-18, 2008.
- [8] 西谷 祐司, “PS3 用「Cell」プロセッサにコアレス基板を採用”, 日経エレクトロニクス, No.1055, pp.87-95, 2011.
- [9] 森 健太郎, “電源 / グランド特性に優れるコアレス基板を用いた PACKAGE-ON-PACKAGE 構造”, 信学技報, pp.87-92, 2008.
- [10] G.W. Kim, J.H.Yu, C.W.Park, S.J.Hong, J.Y.Kim, G.Rinne, C.H.Lee, “Evaluation and verification of enhanced electrical performance of advanced coreless flip-chip BGA package”, Electronic Components and Technology Conference (ECTC), pp897-903, 2012.
- [11] B.Hsu, C.W. Ho, F. Lee, T.Y. Chen, ” A coreless technology overview for packaging substrates”, Microsystems Packaging Assembly and Circuits Technology Conference (IMPACT), pp1-4, 2010.

- [12] 大内 伸仁, “シリコンインターポーザ内蔵 SiP 技術”, エレクトロニクス実装学会誌, Vol.10, pp.368-371, 2007.
- [13] R.Satoh, K.Arakawa, M.Harada, and K.Matsui, “Thermal Fatigue Life of Pb-Sn Alloy Interconnections”, IEEE Transactions on Components, packaging and manufacturing technology, Vol.14, No.1, pp224-232, 1991.
- [14] H.Ali, “Stress-induced parametric shift in plastic packaged device”, IEEE Transactions on Components, packaging and manufacturing technology, Vol.20, No.4, pp.458-462, 1997.
- [15] 小金丸 正明, 池田 徹, 宮崎 則幸, 友影 肇, “樹脂封止実装時の残留応力に起因した nMOSFET の DC 特性変動評価と電子移動度モデルに関する検討”, 電子情報通信学会論文誌(C), Vol.J91-C, No.4, pp.257-272, 2008.
- [16] 三浦 英生, 西村 朝雄, “パッケージング応力起因の半導体素子変動”, 日本機械学会論文集 A 編, Vol.61, No.589, pp.1957-1964, 1995.
- [17] A. Mercha, G.V.Plac, V. Moroz1, I.D.Wolf, P. Asimakopoulos, N. Minas, S. Domae, D.Perry, M.Choi1, A.Redolfi, C.Okoro, Y.Yang, J.V.Olmen, S. Thangaraju, D. S.Tezcan, P. Soussan, J.H.Cho, A.Yakovlev, P. Marchal, Y. Travaly, E. Beyne, S. Biesemans, and B. Swinnen, “Comprehensive Analysis of the Impact of Single and Arrays of Through Silicon Vias Induced Stress on High-k / Metal Gate CMOS Performance”, IEEE IDEM Symposium, Vol.1, pp.14-30, 2011.
- [18] 小金丸 正明, 池田 徹, 宮崎 則幸, 友影 肇, “実験とデバイスシミュレーションによる nMOSFET の応力に起因した DC 特性変動評価”, 電子情報通信学会論文誌(C), Vol.J90-C, pp.351-362, 2007.
- [19] J.L Egley and D. Chidambarrao, “Strain effects on device characteristics implementation in drift-diffusion simulators”, Solid-State Electronics, Vol.36, No.12, pp.1653-1664, 1993.
- [20] N.Watanabe and T.Asano, “Influence of direct Au-bump formation on metal



- oxide semiconductor field effect transistor”, Japan Journal of Applied Physics, Vol.41, Part 1, No.4B, pp.2714-2719, 2002.
- [21] Phase5 仕様書, 株式会社日立超 LSI システムズ, 2005.
- [22] 小金丸 正明, 池田 徹, 宮崎 則幸, “ピエゾ抵抗テストチップと有限要素法を用いた樹脂封止に起因する半導体チップ表面の残留応力評価”, エレクトロニクス実装学会誌, Vol.9, pp.186-194, 2006.
- [23] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, “IC プラスチックパッケージ内応力測定素子の開発とその応用”, 日本機械学会論文集 A 編, Vol.53, No.493, pp.1826-1832, 1987.
- [24] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, “IC プラスチックパッケージ内シリコンチップ残留応力の検討”, 日本機械学会論文集 A 編, Vol.55, No.516, pp.1763-1770, 1989.
- [25] 三浦 英生, 西村 朝雄, 河合 末男, 村上 元, “IC パッケージ内シリコンチップ残留応力に及ぼすパッケージ構造の影響”, 日本機械学会論文集 A 編, Vol.56, No.522, pp.365-371, 1990.
- [26] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, “IC プラスチックパッケージ内シリコンチップ熱応力の検討”, 日本機械学会論文集 A 編, Vol.57, No.539, pp.1575-1580, 1991.
- [27] 三宅 清, “BGA パッケージの硬化収縮を考慮した反り熱粘弾性解析”, エレクトロニクス実装学会誌, Vol.7, pp.54-61, 2004.
- [28] 平田 一郎, 橋口 良行, “FEM 粘弾性解析による LSI-パッケージの反り変形の研究”, Mate2005 ; 11th Symposium on micro joining and assembly technology in electronics, pp.329-332, 2005.
- [29] M.Y. Tsai, Y.C. Chen, S. W. R.Lee, ”Correlation between measurement and simulation of thermal warpage in PBGA with consideration of molding compound residual strain.”, IEEE Transactions on Components, packaging and manufacturing technology, Vol. 31, No. 3, pp.683-689, 2008.

- 
- [30] M.Y. Tsai, C.W. Ting, C.Y. Huang, Y.S. Lai, "Determination of residual strains of the EMC in PBGA during manufacturing and IR solder reflow process", *Microelectronics Reliability*, Vol. 51, No. 3, pp.642-648, 2011.
- [31] 中村 省三, 串崎 義幸, 後藤 雅彦, 大橋 和彦, 木戸 光夫, "熱粘弾性解析による電子部品の熱残留応力と反り変形挙動に及ぼす層構成の最適化", *エレクトロニクス実装学会誌*, Vol.6, pp.80-87, 2003
- [32] 中村省三, 村上元, 井坂和博, 上野恵尉, 中村敬一, "FCA 方式による半導体デバイスの熱粘弾性解析による反り変形挙動の予測", *エレクトロニクス実装学会誌*, Vol.2, pp.291-297, 1999.
- [33] C.S. Smith, "Piezoresistance effect in germanium and silicon", *Physical Review*, Vol.94, No.1, pp.42-49, 1954.
- [34] I.B. Shams, Q. Khosru, A.Haque, "Gate C-V characteristics of Si MOSFETs with uniaxial strain along <110> direction", pp434-437, *ICECE*, 2008.
- [35] J.C.Suhling, R.C.Jaeger, "Silicon piezoresistive stress sensors and their application in electronic packaging", *IEEE Sensors Journal*, Vol.1, No.1, pp.14-30, 2001.
- [36] A.T.Bradley, R.C.Jaeger, J.C.Suhling, K.J.O'Connor, "Piezoresistive Characteristics of Short-Channel MOSFETs on (100)Silicon", *IEEE Transactions on electron devices*, Vol.48, No.9, pp.2009-2015, 2001.
- [37] Y.Kumagi, H.Ohta, H.Miura, A.Shimizu, S.Kamohara, K.Maehara, "Development of Evaluation Method for Estimating Stress-Induced Change in Drain Current in Deep-sub-micron MOSFETs", *Journal of Solid Mechanics and Materials Engineering*, Vol.1, No.1, pp.93-101, 2007.
- [38] 吉見 信, "最近の SOI (Silicon-on-insulator) 素子技術", *応用物理*, Vol.70, pp.165-168, 2001



## 第 2 章

# 多層基板の熱変形挙動解析による 物性値同定方法

## 2.1 緒言

実装温度領域における反り量の低減は、製品歩留まりや、はんだの接続信頼性を保証する上で重要である。そのためには、パッケージの設計段階から反りを正確に予測する必要がある。パッケージの反りは、それを構成するシリコンチップ、モールド樹脂、プリント配線板（以下、基板と呼ぶ）などの線膨張係数のミスマッチから発生する。そのため、パッケージ構成材料の一つである基板の見かけの線膨張係数を精度よく求めることが反りの解析精度を左右する大きな要因となる。通常、基板の製作には、2 層基板で 2 週間～3 週間、4 層以上の基板になると製作に 4 週間以上が必要になる。そのため、パッケージ設計段階から反りを正確に予測し、パッケージ構造を最適設計するためには、基板の製作完了前、すなわち、基板の設計が完了した時点から精度の高い基板の見かけの線膨張係数を得ることが望ましい。パッケージの設計段階から基板の見かけの線膨張係数が得られれば、他の構成材料の物性データとあわせて、高精度な反りやはんだの接続信頼性などの解析が可能となる。

近年の基板は、電子機器の薄型・小型化・高性能化に伴い、薄型化・配線パターンの微細化・高密度化が要求されている。その実現のため、2 層基板から、より高密度微細配線が可能な薄型多層構造のビルドアップ基板へと推移している。このため、基板の見かけの線膨張係数を正確に求める上で重要になるのは、評価する基板の構成材料の物性

値を試験から正確に求めることである。その際、基板構成材料に用いられる高分子材料は、時間と温度によって、その熱的・機械的性質が著しく変化する、いわゆる粘弾性挙動を示すことから、粘弾性物性の測定も必要不可欠である。次に重要になるのは、微細な銅配線の影響を考慮することである。同じ構成材料・構造でも配線の違いで基板の反り量など熱変形挙動が異なることが知られている[1-2]。しかし、構成材料の粘弾性挙動に加え銅配線の影響までを考慮した研究事例は少ない。銅配線の影響を基板の熱変形のシミュレーションに考慮する場合、パッケージに用いられる配線幅 0.1mm 以下の配線形状を正確に有限要素法を用いてモデル化するには、メッシュサイズは 0.1mm 以下にする必要がある。そのため、配線幅が 1.0mm の評価基板での反り研究[3]や、モジュール用基板などを用いての最小メッシュサイズ 0.5mm で配線をモデル化した反り研究[4]の解析手法では、半導体パッケージ用基板の 0.1mm 以下の配線をモデル化できず、評価には適用できない。また、ソリッド要素を用いて、配線や絶縁材料を貫通するビア配線の熱変形を解析し、その結果をもとに、シェル要素を用いてモデル化して、基板の熱変形をシミュレーションし、基板の見かけの弾性率・見かけの線膨張係数を算出する研究[5]も行われているが、この場合、ソリッド要素とシェル要素を用いた二度の解析が必要である。

そこで、本章では、簡易的に半導体パッケージ用基板の見かけの線膨張係数を予測する方法として、基板配線 CAD データから直接、有限要素法（以下、FEM と呼ぶ）用のシェル要素を生成するプログラムを開発し、基板構成材料の物性データから、2 層基板と 4 層基板の見かけの線膨張係数を精度よく算出する方法を提案する。なお、第 3 章では、このような手法で求めた見かけの線膨張係数を用いて Flip chip パッケージの反り挙動を精度よく解析できることも示す。

## 2.2 評価用基板とその構成材料の物性値

### 2.2.1 評価基板の構成

本研究のために、半導体パッケージに用いられている 2 層基板と 4 層基板の、2 種類の基板を設計した。図 2.1(a) にそれらの基板の断面構造を示す。両基板ともに基板の仕上がりの厚さが  $0.4\text{mm} \pm 0.04\text{mm}$  になるように、基板メーカーから指示された各材料

の厚さ交差の中心値で設計を行った。その結果、配線層が多い4層基板では、ビルドアップ層に用いられる絶縁材料（以下、ビルドアップ材と呼ぶ）に厚さ 0.06mm の材料を、コア層に用いられる絶縁材料（以下、コア材と呼ぶ）に厚さ 0.15mm の材料を用いることで、2層基板と仕上がりの厚さが同じになる設計にした。2層基板の各層の厚さの設計値は、0.02mm（レジスト材層）×2層、0.02mm（銅配線層）×2層、0.3mm（コア材層）で、基板の総厚が 0.38mm に設計した。4層基板は、0.02mm（レジスト材層）×2層、0.02mm（銅配線層）×4層、0.06mm（ビルドアップ層）×2層、0.15mm（コア材層）で、基板の総厚が 0.39mm に設計した。実際の基板の仕上がり厚さを測定すると、両基板ともに約 0.39mm～0.43mm で、設計値の交差範囲内で製作できていたため、解析には設計値をそのまま用いた。今回使用したコア材と、ビルドアップ材は、温度変化による膨張や収縮量を抑制するために、ガラス繊維が織り込まれている。コア材、ビルドアップ材は、それぞれ 0.3mm、0.15mm、0.06mm と厚さが異なるため、使用されているガラス繊維は、量や太さが異なる材料が用いられている。その他の基板構成材料である、レジスト材、銅箔は、両基板ともに同じ材料を用いた。

図 2.1(b) に基板の配線図を示す。基板のチップ実装面（Wiring layer①）と、はんだ実装面（Wiring layer④）は、加熱時の銅配線の熱膨張・収縮量を同一にするため、2層基板と4層基板で同じ配線パターンにした。チップ実装面は、4辺と平行にワイヤボンダパッドを配置し、製品基板を模擬している。ワイヤボンダパッド部は、レジスト材の塗布が無く、配線パターンを露出した設計にした。4層基板については、2層、3層部は、基板中心部に集中する貫通ビア配線以外は、全面積を銅箔で覆うベタ配線（黒色）を用い、円形部分（白色）は配線がない。実際の製品基板の内層では、電源・グラウンド用に、ほとんどがベタ配線で設計されているため、2、3層での面積あたりの配線率は、98%ほどである。今回の評価基板においても、円形の銅配線の無いエリアを設計し、実際の製品基板の配線率と同じにした。銅配線の設計は、両基板共に幅 0.1mm、厚さ 0.02mm で行った。

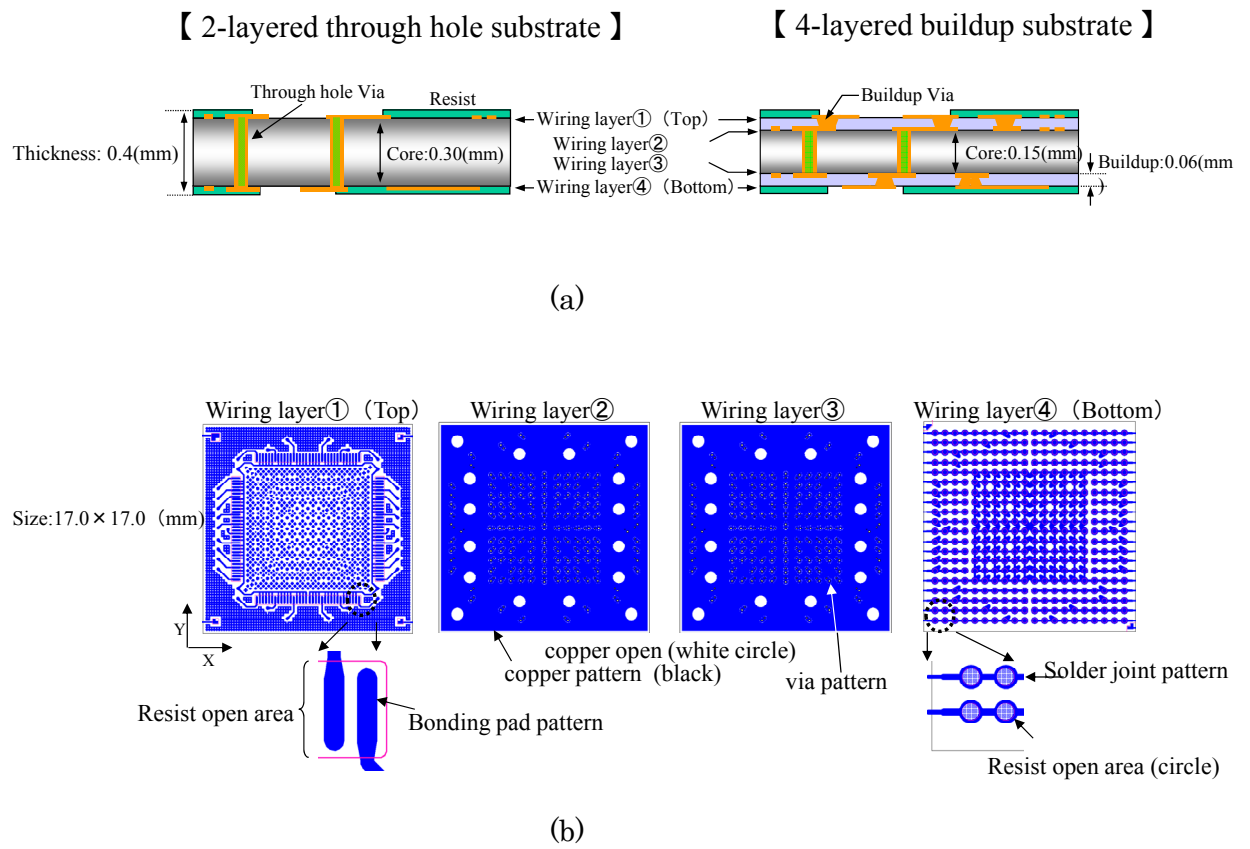


Fig. 2.1 Structure of the printed circuit board used in the present study. (a)Cross Section of Substrate, (b) Wiring pattern in each layer.

## 2.2.2 基板構成材料の物性値

基板構成材料の物性値は、実際の材料について測定した。今回の試験に用いたコア材、ビルドアップ材は、基板製造メーカより提供を受け、銅箔をエッチング処理にて除去した。コア材とビルドアップ材は、ガラス繊維の影響で、面内方向（X, Y 方向）と面外方向（Z 方向）で線膨張係数（以下、CTE と呼ぶ）が異なる。また、製造プロセスの影響で、X, Y 方向についても異方性が生じるので、図 2.1(b)に示すように評価基板に対して方向を定義し、室温～250℃の範囲で、X, Y 方向の CTE と貯蔵弾性率の温度依存のデータを測定した。貯蔵弾性率の測定には、動的熱機械測定装置 DMA（Dynamic Mechanical Analyzer）を用い、CTE の測定には、熱機械測定装置 TMA（Thermo Mechanical Analyzer）を用い、いずれも引張荷重下で測定を行った。実際に測定に用いた基板の試験片の形状について図 2.2 に示す。基板は 2 行 14 列の個片基板が集合状態で配置されたレイアウトで製作される。測定用の試験片は、測定機器の制約上、3mm × 20mm 以上のサイズが必要になるため、図 2.2 に示す X, Y 方向を定義した試験片サンプルを集合基板から切り出し、引張荷重条件にて測定を行った。そのため、測定時には試験片の基板は、ほぼ反っていない状態で測定される。TMA による測定は、昇降温速度 10.0℃/min、引張荷重 0.049N で行い、DMA による測定条件は、昇温速度 2.0℃/min の引張荷重 0.049N、加振周波数 10Hz で行った。測定は製造工程で発生している残留応力を解放させるため、室温～250℃の温度サイクルでの測定を 2 回行い、2 回目の値を用いた[3]。

図 2.3(a) に 0.3mm 厚のコア材の CTE と貯蔵弾性率、図 2.3(b) に 0.15mm 厚のコア材の CTE と貯蔵弾性率の測定結果を示す。厚さが異なるコア材の CTE と貯蔵弾性率については、X, Y 方向の異方性は小さいことがわかる。図 2.3(c) に 0.06mm のビルドアップ材の CTE と貯蔵弾性率を示す。CTE には大きな異方性が認められるが貯蔵弾性率については、異方性は小さいことがわかる。CTE の異方性については、コア材などに織り込まれているガラス繊維の収縮方向に異方性があるためである。図 2.3(a) ～ 図 2.3(c) に共通の傾向として認められるのは、ガラス繊維の影響で、170℃近傍の樹脂の T<sub>g</sub>（ガラス転移点）より高温側で、樹脂の軟化により CTE が低下していることである。また、0.3mm 厚のコア材、0.15mm のコア材、0.06mm のビルドアップ材の順に貯蔵弾性率が高くなっている。これは、コア材に用いられているガラスクロス繊維材の、



太さや量が，コア材の厚さごとに異なるためと考えられる．図 2.3(d) にはレジスト材の物性値を示すが，これは材料メーカーから提供を受けたデータである．

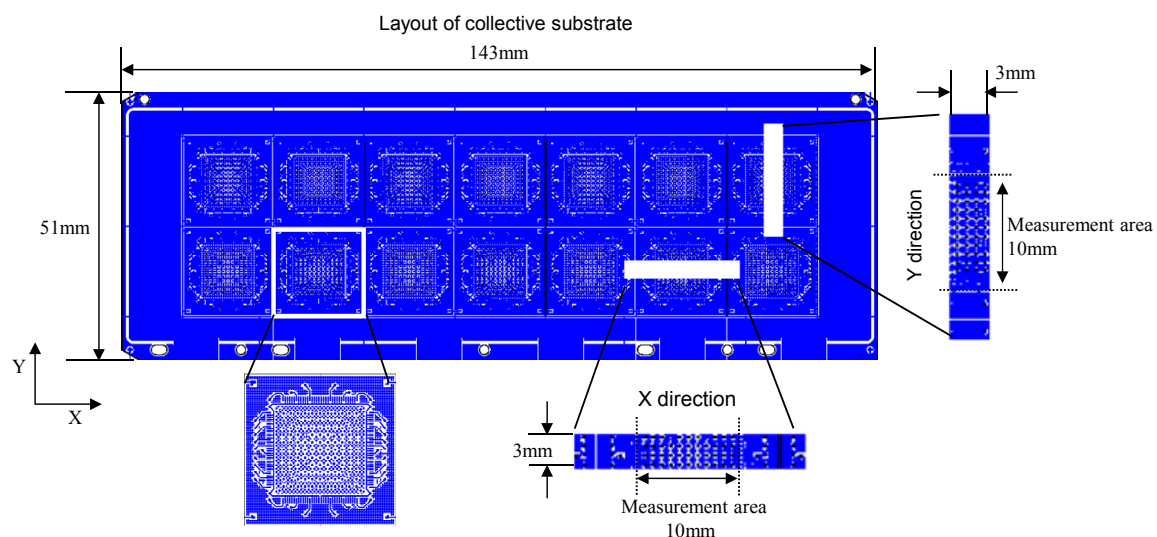
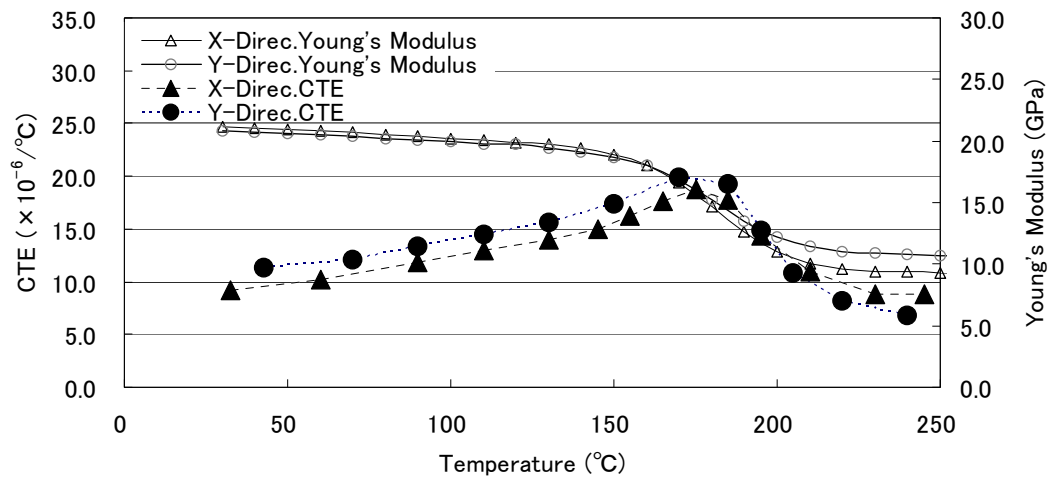
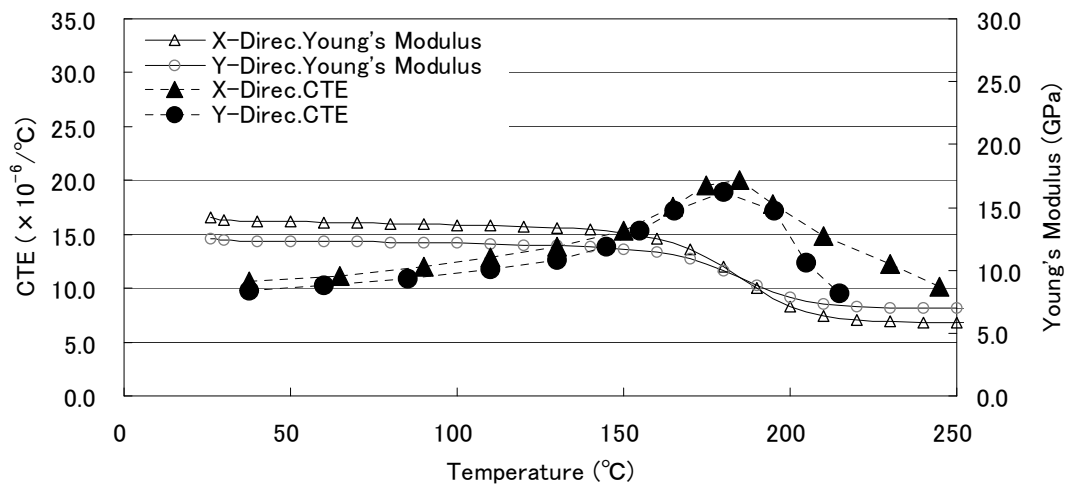


Fig. 2.2 Layout of the assembled substrate.

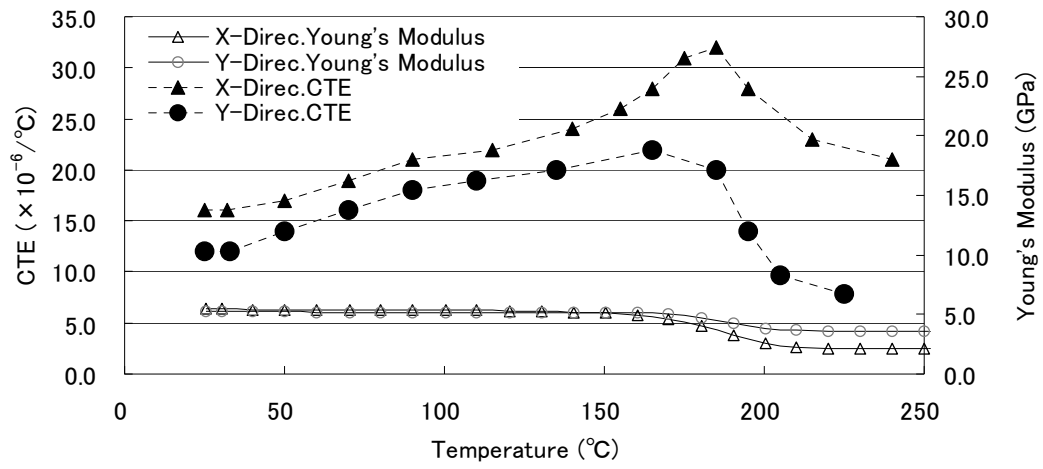


(a)

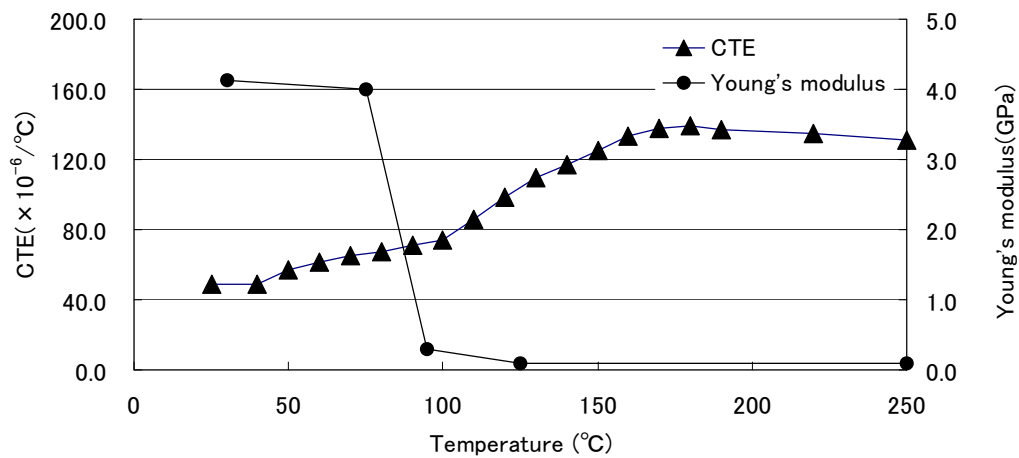


(b)

Fig. 2.3 Material properties of components in the printed circuit board. (a) 0.3mm thickness core material, (b) 0.15mm thickness core material.



(c)



(d)

Fig. 2.3 Material properties of components in the printed circuit board. (c) 0.06mm thickness buildup material, (d) Resist material.

## 2.2.3 評価基板の見かけの CTE の解析方法

### 2.2.3.1 基板の銅配線のモデル化

基板の微細な銅配線の熱収縮の影響を考慮するために、有限要素法を用いた数値解析で配線のモデル化を検討した。解析には、MSC Software 社の汎用解析ソフトウェア MARC 2005 を使用した。銅配線をメッシュ分割するアルゴリズムを、図 2.4(a)に示す。まず、基板を有限個の格子エリアに分割する。そのときに各格子エリアにおける物性の体積率で、要素の物性を決定する。図 2.4(b)に、実際の 0.1mm の銅配線をモデル化するためのメッシュ分割の例を示す。メッシュサイズを 0.1mm, 0.05mm, 0.025mm と小さくしていくにつれて、実際の配線パターンに近づいていくことがわかる。このようにして、全ての層をメッシュ分割し、4 節点厚肉四辺形シェル要素に自動的に変換するモデリングプログラムを作成して使用した。解析では、4 節点厚肉四辺形シェル要素に、各層の厚さと物性値を設定した。2 層基板の場合について、その設定方法を図 2.4(c)に示す。解析では、メッシュ数と使用するマシンの計算能力を考慮し、メッシュ数が多くなる貫通ビアのモデル化は、最初は考慮せずに解析を試みた。そのため、Layer③層のコア材のメッシュ分割数は、上下層の銅配線とレジストパターンの分割から決まる。メッシュ分割後は、各多層シェル要素の各層に、図 2.4(c)に示すように基板構成材料の物性値と各層の厚さを設定した。なお、今回用いたシェル要素では、全ての要素に物性値を設定する必要があるため、図 2.4(c)の空気層の部分の要素には、曲げ剛性に寄与しない低剛性の物性値を設定した。図 2.4(c)の element①の層構成は、チップ実装面から順に、レジストーレジストーコア材ー配線ーレジストであるが、ワイヤボンドパッド部と半田実装面がある element④では、空気ー配線ーコア材ー配線ー空気となる。図 2.4(c)は、2 層基板の例なので、コア材層の上下に 2 層の配線層と表層のレジスト層がある 5 層構造であるが、4 層基板は、さらに 2 層の配線層とビルドアップ層が追加される構造のため、合計 4 層が加わり 9 層構造となる。さらに、このモデリングプログラムには、全 Layer の構成材料が、隣り合う要素で連続して同じ場合、メッシュサイズを自動的に大きくするロジックが組み込まれており、メッシュ分割数を削減する機能も有する。このモデリングプログラムを用いた配線のモデル化は、図 2.4(b)に示すようにメッシュサイズを 0.025mm 程度まで細かく設定し、ほぼ基板と同じ形状にすることが望ましい

が, 計算時間も考慮する必要があるため, 適切なメッシュサイズを決定する必要がある.

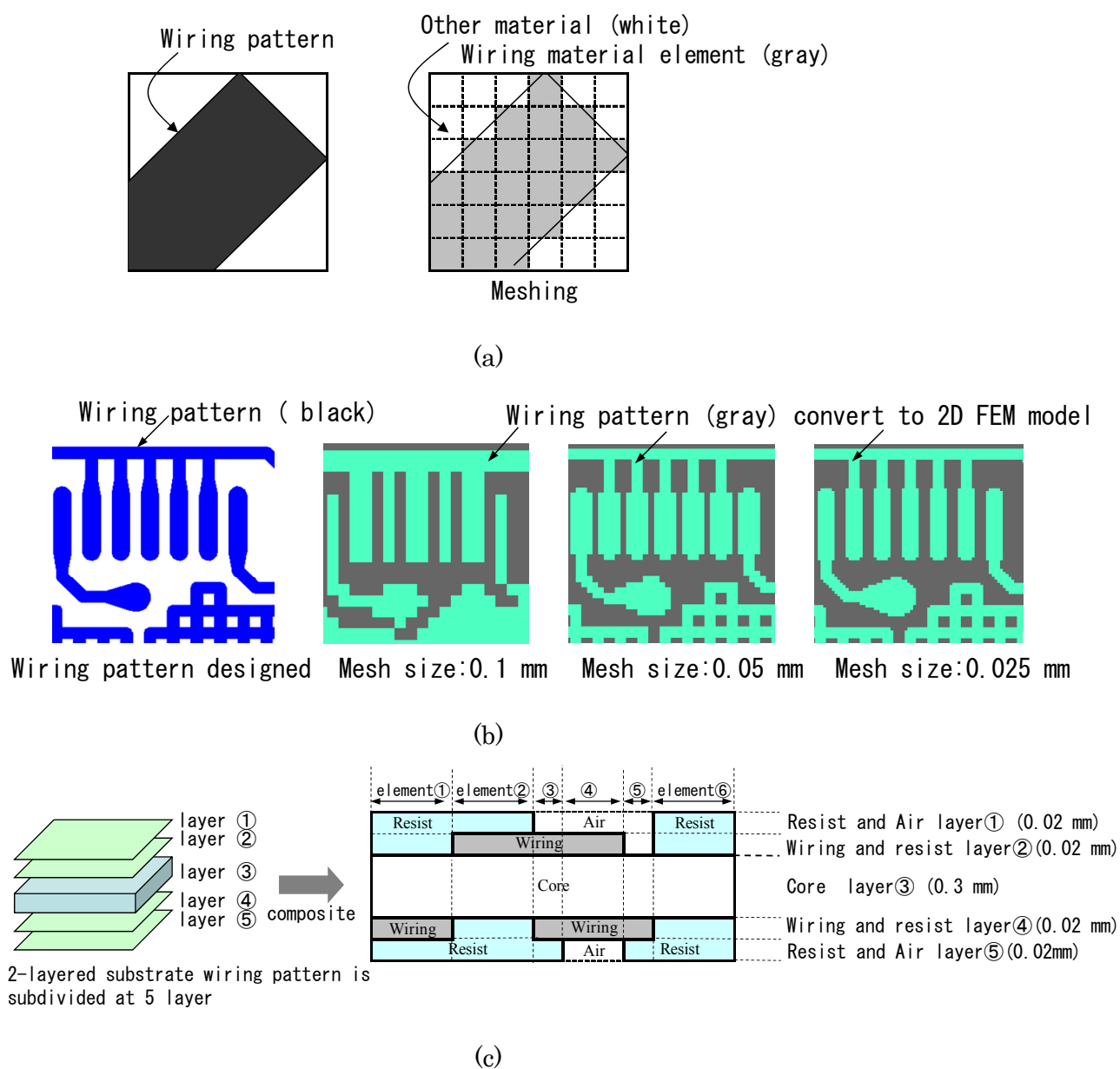


Fig. 2.4 2D FEM model. (a) Meshing algorithm, (b) FEM model at each mesh size, (c) Cross section of 2-layered substrate

### 2.2.3.2 適切なメッシュサイズの決定

図 2.4(b) に示すように、メッシュサイズの異なる 3 種類のモデルを用いて、メッシュサイズが熱変形に与える感度を検証した。コア材に銅箔やビルドアップ材を積層プレスする工程温度(175℃)から常温の 25℃まで低下させた場合の基板の反り量を算出し、メッシュサイズ依存性を検証した。解析に用いた物性値は、図 2.3(a)～(d)の値を使用し、貯蔵弾性率については、各材料共に異方性が小さいため、X, Y 方向の平均値を用いて等方性と仮定した。また、銅箔の物性値を表 2.1 に示す。図 2.5(a) に計算で求めた基板のチップ実装面を上にした 25℃における熱変形挙動を示す。図 2.5(b) には、図 2.5(a) に示す基板の中心を通る X 方向に沿う Z 方向の基板の反り量のシミュレーション結果を示す。最小メッシュサイズが 0.1mm から、0.05mm, 0.025mm と小さくなるにしたがって、反り量が大きくなることがわかる。メッシュサイズの効果を検証するため、メッシュサイズ 0.2mm の結果もプロットしている。メッシュサイズが 0.1mm と 0.2mm の場合は、幅 0.1mm の配線の形状を精度よくモデル化できず、反り量が小さく感度が低いことがわかる。これに対して、最小メッシュサイズが 0.025mm と 0.05mm では反り量の差が非常に小さい。0.05mm モデルでは、節点数 88594, 要素数 79807 で、0.025mm モデルでは節点数 210410, 要素数 169456 のため、計算コストを考慮し、メッシュサイズ 0.05mm で十分と判断した。また、参考値として、図 2.5(c) にモアレ干渉縞反り測定装置を用いて測定した常温 25℃の実際の基板の反りと 0.05mm モデルの反りの結果を示す。2.5(a)と同じ位置の Z 方向の反り値を示している。実際の基板の反りの測定面には、レジスト材の塗布が無い配線パターンが露出した開口部が複数設計されているため、その開口部では値が小さく測定され、測定データは凹凸となる。そこで、この反り量の計測結果を最小二乗法を用いて二次式で近似し、最大値と最小値の差を、その反り値と定義し 0.05mm モデルの結果と比較すると、平均的には実験データと解析データは、ほぼ合っていることがわかる。よって、この最小メッシュサイズ 0.05mm の解析モデルを用いて、基板の熱変形挙動の評価を行うことにした。

Table 2.1 Material properties of Cu wiring.

	CTE( $\times 10^{-6}/^{\circ}\text{C}$ )	Young's modulus (GPa)	Poisson's Ratio
Cu wiring	16.5	110	0.374

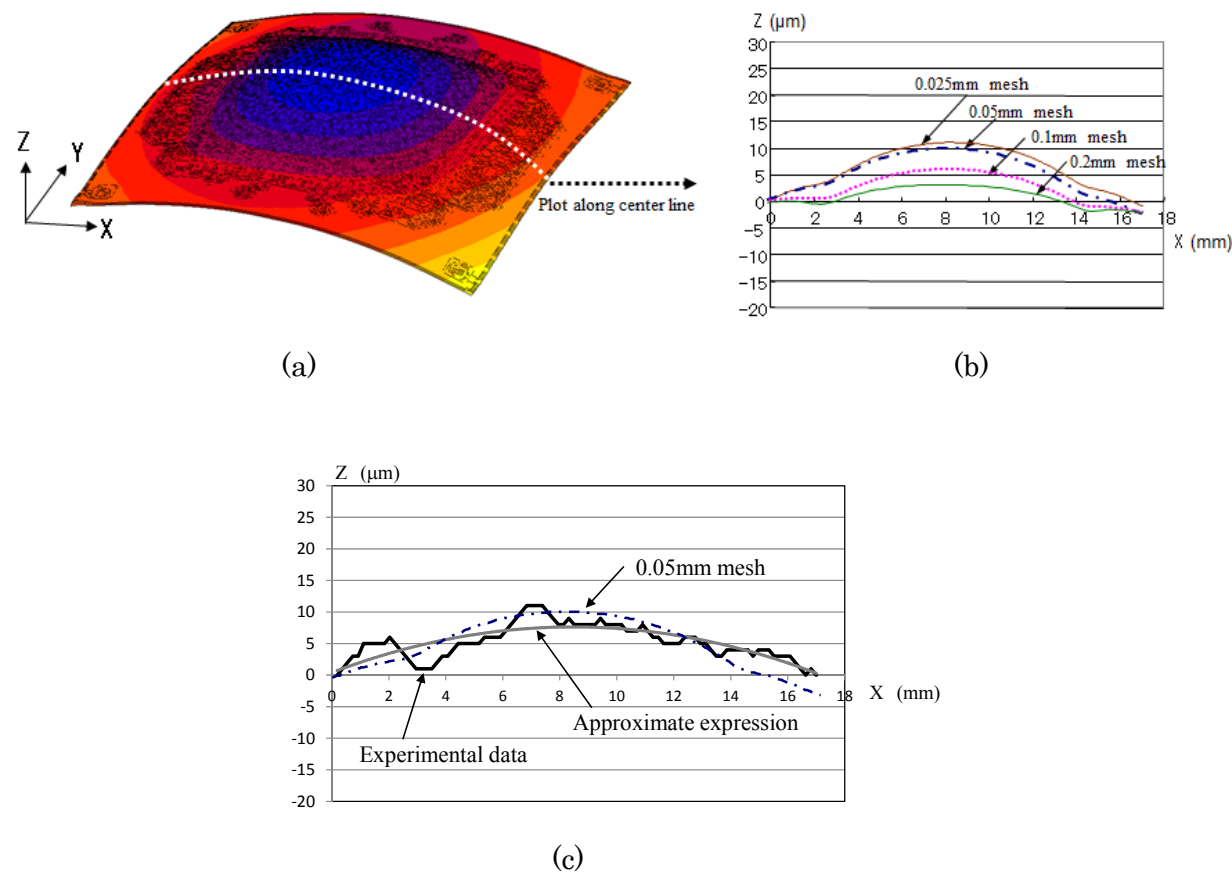


Fig. 2.5 Effect of mesh size on the warpage of substrate at 25°C.(a) Warpage contour of 2D simulation, (b) Plot along center line on substrate,(c)Experimental data of plot along center line on substrate.

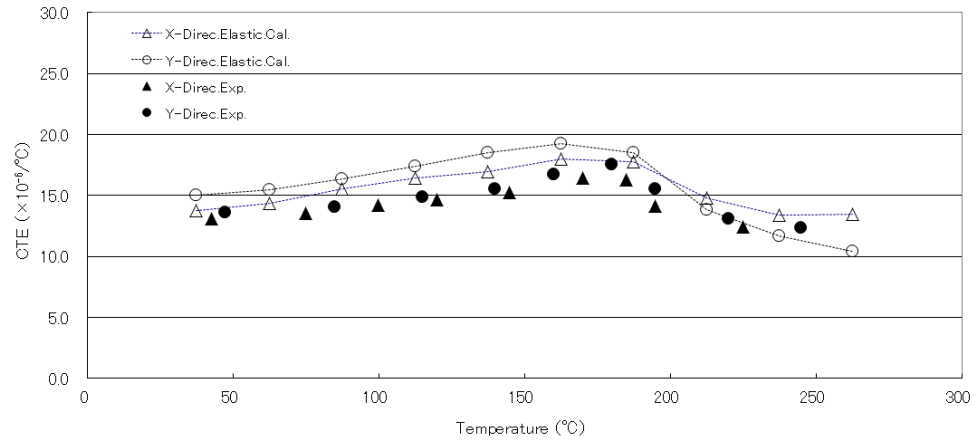
## 2.2.4 評価基板の見かけの CTE の解析結果および考察

### 2.2.4.1 弾性解析

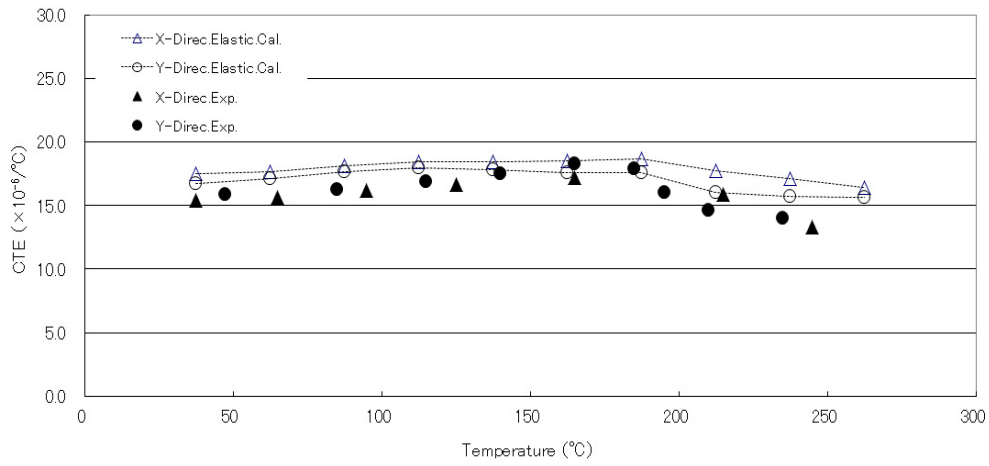
まず、弾性解析による評価基板の見かけの CTE（熱変形挙動）の解析方法について述べる。前述のように、コア材に銅箔やビルドアップ材を積層プレスする工程温度は 175℃であるため、この温度を応力フリーとし、25℃まで降温させ、その後 CTE 測定温度域の 250℃まで昇温させた。計算に用いた拘束条件は、基板の Z 方向の変位を拘束し、X 方向、Y 方向のみ熱収縮で変形する反りが発生しない実際の CTE の測定条件を模擬した。CTE の算出は、測定のために切り出した試験片と同じエリアの節点を用いて温度変化における X 方向、Y 方向への基板の温度増分に対する熱変形量から見かけの CTE を算出し、その結果と、評価基板での実測による CTE とを比較し、シミュレーションの精度を確認した。計算に用いた物性値は、前述の値を用いた。図 2.6(a) に、TMA を用いて実測した 2 層基板の CTE の結果と計算で求めた結果を示す。図 2.6(b) には、4 層基板の結果を示す。図 2.3(a)～(c)に示したように、コア材・ビルドアップ材の CTE では、それぞれ X、Y 方向に異方性が認められたにもかかわらず、基板での測定結果では両基板とも、ほぼ等方性を示した。図 2.6(a)、図 2.6(b)のデータから、配線層が増えるに従って基板の CTE が銅箔の CTE の  $16.5 (\times 10^{-6}/^{\circ}\text{C})$  に近づいていることもわかる。

今回のシミュレーション結果から、2 層基板に関しては、若干の異方性が残っているが、4 層基板に関しては、ビルドアップ材に大きな異方性があつたにもかかわらず、ほとんどが等方性の挙動になっており、このことは実験の傾向と良く一致している。しかし、シミュレーション結果は、両基板とも実測データより高い CTE を与えており、その改善のために、さらに粘弾性解析を行って評価することにした。





(a)



(b)

Fig. 2.6 Comparison of the overall CTEs obtained by experiments and the elastic analyses. (a) 2-layered substrate, (b) 4-layered substrate.

### 2.2.4.2 粘弾性解析

本研究では、下式に示す一般化 Maxwell モデル[6-9]を用いた粘弾性解析を行った。

$$G'(t) = G_\infty + \sum G_i \exp(-t / \tau_i) \quad (2.1)$$

ここで、 $G'$  は緩和弾性率、 $\eta$  は粘性係数、 $\tau(=\eta/G)$  は緩和時間、 $G_\infty$  は  $t=\infty$  時の緩和弾性率である。本研究では、式 (2.1) をローニー級数表示した次式を用いて緩和弾性率を表現した。

$$G'(\omega) = G_\infty + \sum_{i=1}^n G_i \frac{(\omega\tau_i)^2}{1 + (\omega\tau_i)^2} \quad (2.2)$$

粘弾性解析を行うためには、周波数分散の緩和弾性率を測定する必要がある。実際に試験環境を一定にして、非常に低い周波数や非常に高い周波数での動的粘弾性試験を行うのは困難である。そこで本研究では、一定範囲の周波数での温度分散の貯蔵弾性率を測定し、時間-温度換算則が成り立つものとして、データを平行移動することでマスターカーブを得た。また、この際のシフト量を次式の W.L.F. (Williams-Landel-Feery) 式を用いてフィッティングした。

$$\log a_T = -\frac{C_1(T-T_r)}{C_2 + (T-T_r)} \quad (2.3)$$

$$T_r = T_g \quad (2.4)$$

ここで、 $\log a_T$  は移動因子、 $T_r$  は基準温度、 $T_g$  はガラス転移点、 $C_1$ 、 $C_2$  は定数である。一般的な高分子材料では、 $C_1$ 、 $C_2$  は普遍定数であるが、複合材料の場合は、普遍定数を用いた W.L.F. 式によるシフトファクターに一致しない。

図 2.7(a), (b) に、0.3mm 厚のコア材を例に粘弾性特性を示す。図 2.7(a) は、一定範囲の周波数で測定した温度分散の貯蔵弾性率、図 2.7(b) は、時間-温度換算則が成り立つものとして、データを平行移動したマスターカーブ、図 2.7(c) には、W.L.F. 式による

近似結果を示す．同じ方法により，他の基板構成材料についても，粘弾性特性を測定した．図 2.8 に他の基板構成材料の横軸を時間で表示したマスターカーブを示す．表 2.2 には，各材料の測定結果より得られた W.L.F.式の係数と基準温度を示す．粘弾性解析の計算に必要な  $G_i$  と  $\tau_i$  は，マスターカーブから MARC2005 のフィティング機能を用いて算出した．

次に計算条件を検討する．厳密には，基板の製造工程を時系列で解析し，さらに，CTE 測定条件である  $10.0^{\circ}\text{C}/\text{min}$  で昇降温させる過程を計算する必要がある．しかし，基板の製造工程は，積層プレスに加え，メッキやエッチング処理を繰り返すため，全ての工程条件を時系列に解析することは非常に難しい．昇降温の繰り返しが，粘弾性結果へどのように影響するのか，今後も研究する必要があるが，本研究では，一度のみ積層プレス過程で粘弾性の効果があったと仮定して解析を試みた．図 2.8 のマスターカーブより，全ての材料は，500sec 後には，緩和弾性率が，ほぼ緩和状態に達していることがわかるため，製造工程の積層プレス温度の  $175^{\circ}\text{C}$  を応力フリーとし，500sec で，常温 ( $25^{\circ}\text{C}$ ) まで降下させた．次に  $10.0^{\circ}\text{C}/\text{min}$  で  $250^{\circ}\text{C}$  まで昇温 (昇温時間 1350sec) させ，見かけの CTE を算出した．また，昇温時間と緩和弾性率の緩和状態の関係を評価するため，昇温時間を，500sec, 700sec, 1350sec の 3 ケースで計算を試みた．しかし，3 ケースともに，ほぼ同じ結果となり，今回の基板構成材料の緩和弾性率を用いた計算では，500sec 以上は不要なことがわかった．

次に，粘弾性解析により  $10^{\circ}\text{C}$  刻みで算出した見かけの CTE を，図 2.6 に示した弾性解析の結果とともに図 2.9 に示す．粘弾性を考慮すると 2 層基板・4 層基板ともに，より実測データに近くなっていることがわかる．4 層基板においては，ガラス転移点以上の CTE の低下も弾性解析より再現できており，実測データと精度良く合っている．2 層基板については，全体的に粘弾性解析結果の方が弾性解析結果よりも実測値に近かった．

しかし，ガラス転移点より高温側では，粘弾性解析で得られた見かけの CTE は，実測値よりも小さくなっている．この原因については今のところ不明であり，今後さらに研究を進めていく必要がある．

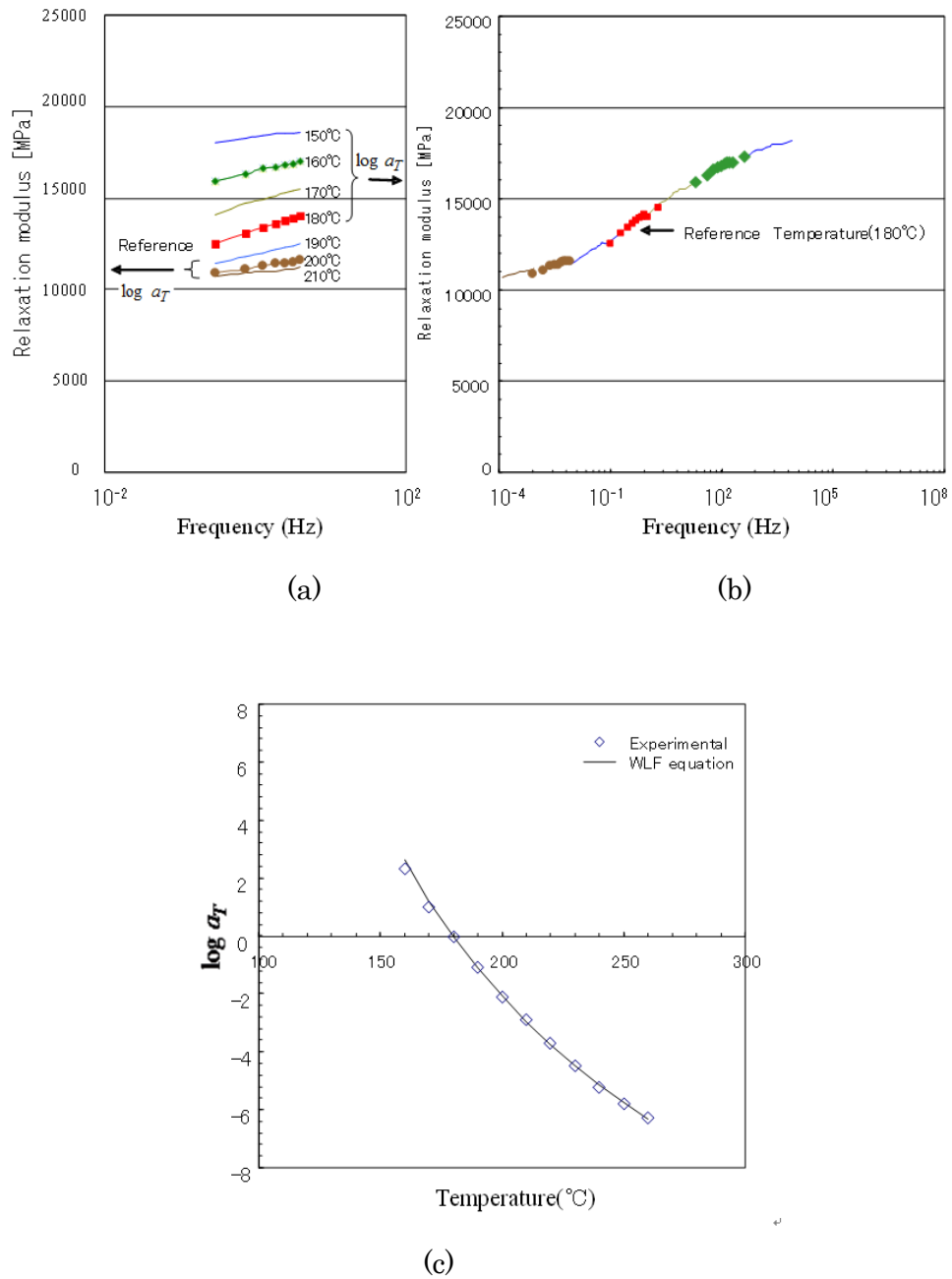


Fig. 2.7 Master curve of 0.3mm thickness core material. (a)Conversion method from temperature to time, (b)Master curve, (c)Time-temperature shift factor.

Table 2.2 Coefficients of shift factor.

	$C_1$	$C_2$	$T_r$ (°C)
0.3 mm thickness core	19.9	172.1	180
0.15mm thickness core	17.2	147.2	180
Buildup	7.2	49.1	180
Resist	18.3	140.7	105

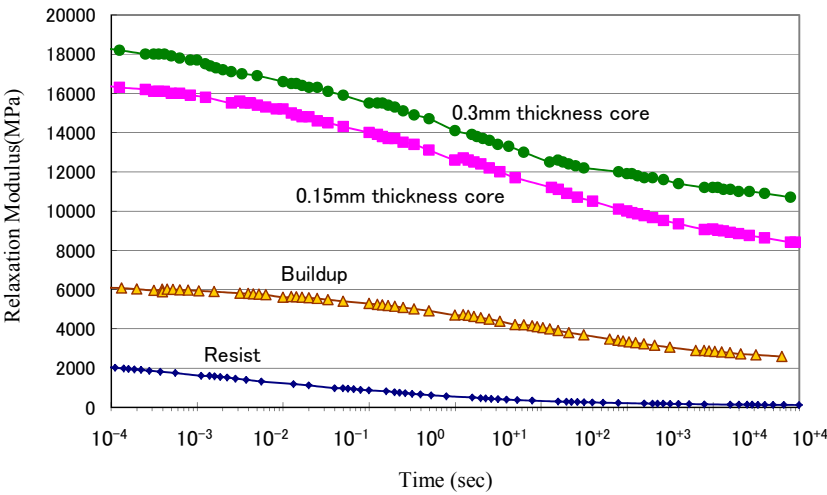
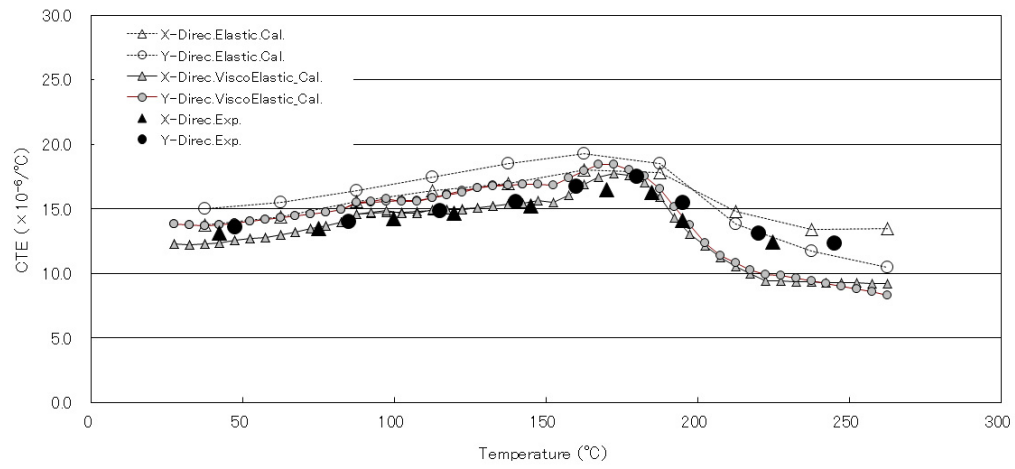
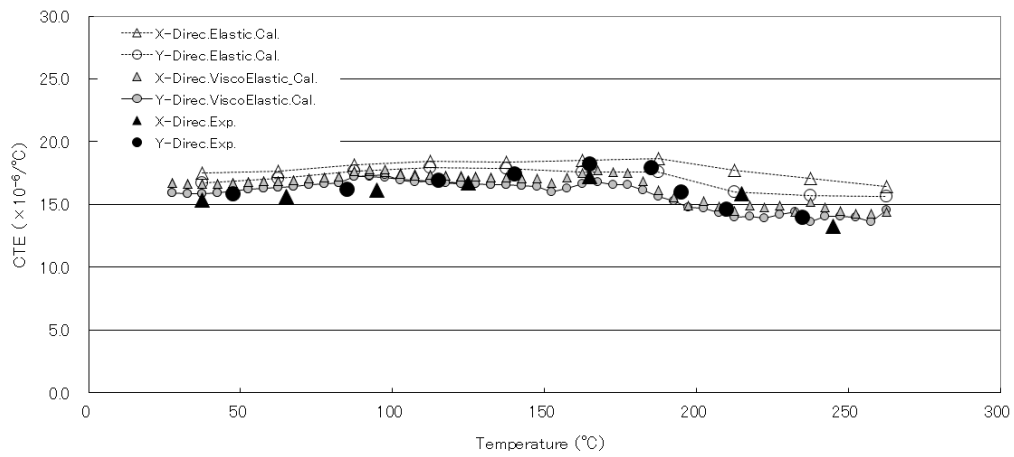


Fig. 2.8 Viscoelastic properties of materials used in the present study.



(a)



(b)

Fig. 2.9 Comparison of the overall CTEs obtained by experiments, the elastic analyses and the viscoelastic analyses. (a) 2-layered substrate, (b) 4-layered substrate.

## 2.3 結言

本章では，基板構成材料と配線 CAD データから，基板の見かけの CTE を求める手法を提案した．本手法の特徴を以下に要約する．

- (1) 構成材料特性と配線を詳細にモデル化することで，基板の見かけの CTE を精度良く求めることができた．
- (2) 基板の見かけの CTE を精度良く求めるためには，材料の粘弾性特性を考慮した解析が必要である．

以上により，本章で示した手法は，製品開発の初期段階である基板設計の配線 CAD データを元に，基板の見かけの CTE を求めることが可能となり，その値を用いてパッケージの反りをシミュレーションすることにより試作後の反り問題の発生を事前に予測できる．そのため，試作回数の削減につながる非常に有効な手法である．第 3 章では，第 2 章で求めた見かけの CTE を用いて反りの解析の精度の検証を行う．

## 第 2 章の参考文献

- [1] J. L. Grenestedt, P. Hutapea, “Influence of electric artwork on thermomechanical properties and warpage of printed circuit boards”, *Journal of Applied Physics*, Vol.94, No.1, pp.686-696, 2003.
- [2] P. Hutapea, J. L. Grenestedt, “Reducing warpage of printed circuit boards by using wavy traces”, *Journal of Electronic Packaging*, Vol.126, pp.282-287, 2004.
- [3] 長竹真美, 伊藤伸孝, 酒井秀久, 目黒正和, 水谷大輔, 倉科守, “プリント配線板の反り解析技術”, *Mate2005 ; 11<sup>th</sup> Symposium on micro joining and assembly technology in electronics*, pp.333-338, 2005.
- [4] 伊藤伸孝, 久保田哲行, 坂入慎, 長竹真美, 水谷大輔, 倉科守, “プリント配線板の反り解析技術の研究”, *Mate2006 : 12<sup>th</sup> Symposium on micro joining and assembly technology in electronics*, pp.461-466, 2006.
- [5] P. Hutapea, J. L. Grenestedt, M. Modi, M. Mello, K. Frutschy, “Prediction of microelectronic substrate warpage using homogenized finite element models”, *Microelectric Engineering*, Vol.83, pp.557-569, 2006.
- [6] 横堀武夫, 成沢郁夫: “高分子材料強度学”, オーム社, 1982.
- [7] 三宅 清, “BGA パッケージの硬化収縮を考慮した反り熱粘弾性解析”, *エレクトロニクス実装学会誌*, Vol.7, pp.54-61, 2004.
- [8] 平田 一郎, 橋口 良行, “FEM 粘弾性解析による LSI-パッケージの反り変形の研究”, *Mate2005 ; 11<sup>th</sup> Symposium on micro joining and assembly technology in electronics*, pp.329-332, 2005.
- [9] 中村 省三, 串崎 義幸, 後藤 雅彦, 大橋 和彦, 木戸 光夫, “熱粘弾性解析による電子部品の熱残留応力と反り変形挙動に及ぼす層構成の最適化”, *エレクトロニクス実装学会誌*, Vol.6, pp.80-87, 2003.





## 第 3 章

# Flip chip パッケージの反り評価

### 3.1 緒言

第 2 章では、半導体パッケージ基板の配線 CAD データから直接 FEM 用のシェル要素を生成するプログラムを開発し、基板構成材料の物性データから、2 層基板と 4 層基板の見かけの線膨張係数を算出する方法を示した。この基板の見かけの線膨張係数と他のパッケージ構成材料との線膨張係数のミスマッチにより、半導体パッケージの組立工程において反りが発生する。発生した反りをパッケージの設計段階から精度よく求められれば、試作後の反りが規格値を超えることによる再試作などの開発期間の遅延を防止できる。

第 3 章では、第 2 章において計算で求めた見かけの線膨張係数を用いて Flip chip パッケージの反りを解析し、解析精度を検証することを目的とした。Flip chip パッケージの反り解析は、構成材料の粘弾性物性やアンダーフィルなどの硬化収縮を考慮することで反り解析精度の改善を行う研究が数多くなされている[1-6]。本研究も基板の粘弾性物性を考慮して反り解析の検討を行った。

## 3.2 評価サンプルの構成

図 3.1 に、パッケージの反り評価に用いた模擬 Flip chip パッケージの概要を示す。第 2 章の評価に用いた 1 辺が 17.0mm の正方形の 2 層基板と 4 層基板に、1 辺が 6.0mm の正方形のシリコンチップをダイボンディング剤（導電性接着剤）で基板に実装し、150℃の恒温槽で加熱することでダイボンディング剤を完全に硬化させ基板に実装した。サンプルは、それぞれ 3 個作製した。

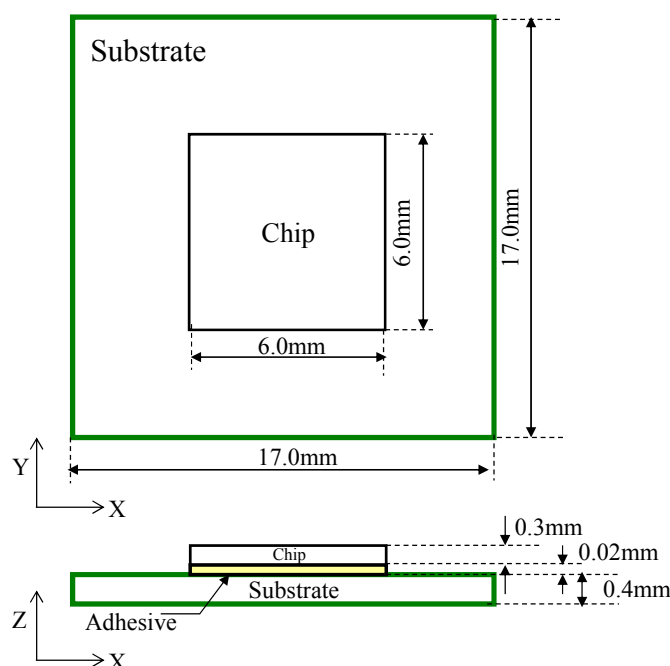


Fig. 3.1 Test Flip chip used for warpage measurement.

## 3.3 シミュレーションモデル

数値解析には、MSC Software 社の汎用解析ソフトウェア MARC2008 を使用した。図 3.2 (a)に、解析の境界条件を、図 3.2(b)に、解析に用いた有限要素法解析モデルを示す。有限要素法モデルは、8 節点 Solid 要素を用いて作製し、Si チップと基板は厚さ方向に 3 分割した。パッケージ形状の対称性から 4 分の 1 モデルを作製した。

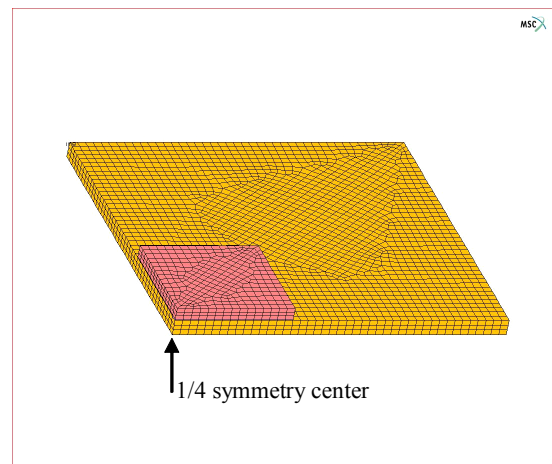
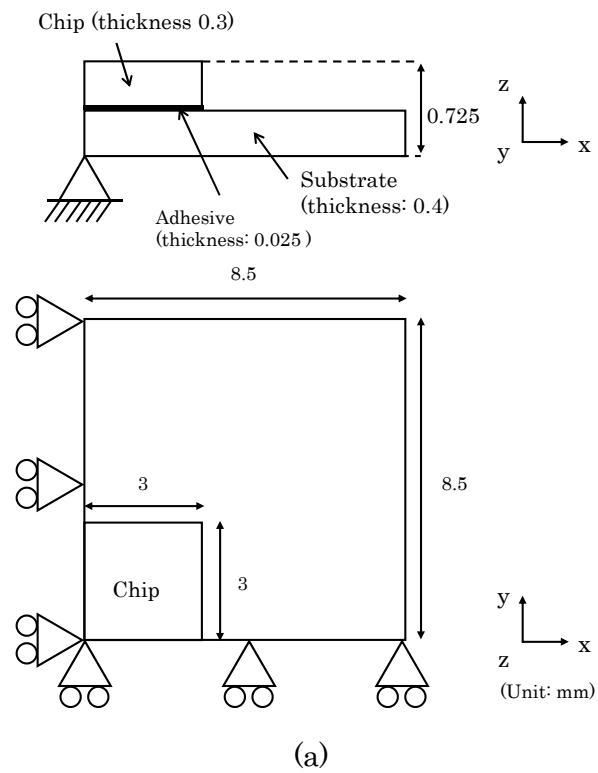


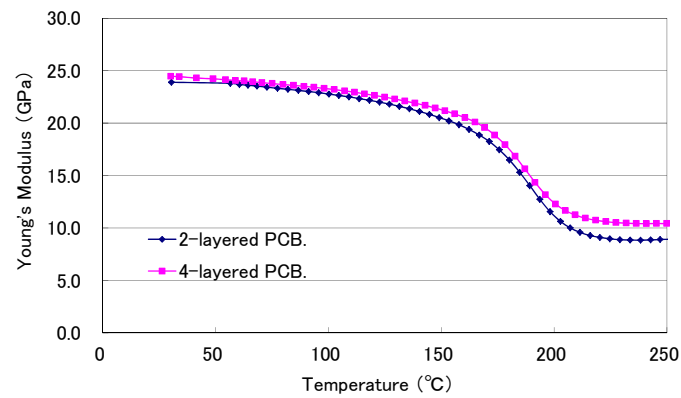
Fig. 3.2 Analysis model of Flip chip package. (a) Boundary condition, (b) 3D FEM model.

### 3.4 材料物性値

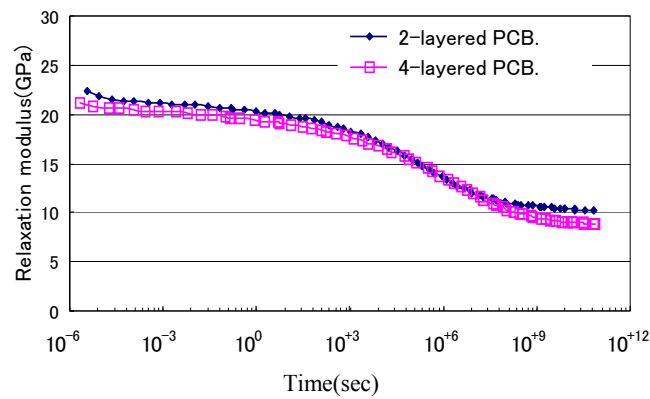
表 3.1 にシリコンチップ, 図 3.3(a), (b) に評価基板の貯蔵弾性率と緩和弾性率を示す. 物性値の測定は, 実際の材料について測定した. 貯蔵弾性率 (以下, ヤング率と呼ぶ) と緩和弾性率の測定には, 動的熱機械測定装置 DMA (Dynamic Mechanical Analyzer) を用いた. DMA で測定するため, 2 層基板と 4 層基板を, 測定サイズに切り出して測定を行った. 図 3.3(c) にはダイボンディング剤の温度依存の物性値を示す. 物性データは, ヤング率, 線膨張係数 (以下, CTE と呼ぶ) とともに材料メーカーから提供を受けた. シミュレーションモデルの基板は単一物性を設定し, CTE については, 第 2 章で算出された X, Y 方向の CTE を用いた.

Table 3.1 Material properties for Si chip.

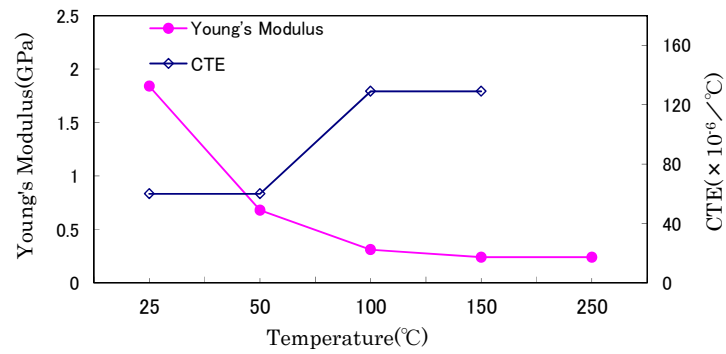
	CTE ( $\times 10^{-6}/^{\circ}\text{C}$ )	Young's modulus (GPa)	Poisson's Ratio
Si chip	3.5	197	0.36



(a)



(b)



(c)

Fig. 3.3 Material properties used in the analysis. (a) Temperature changes of Young's modulus for PCB, (b) Viscoelastic properties for PCB. (c) Young's modulus and C.T.E of Adhesive paste.

### 3.5 解析結果および考察

パッケージの反りの測定には、モアレ干渉縞反り測定装置を用いた。常温～250℃まで 400sec で昇温する測定を 2 回繰り返し、サンプル作製時の残留応力が解放された 2 回目の反り結果を評価に用いた。図 3.4 に、2 層基板を用いたパッケージの反り結果を示す。はんだ実装部の基板面で、コーナーを対角線に結ぶ 2 方向で反りを測定し、3 個のサンプルの平均値を読み取って求めた。4 層基板の反り量も同じ方法で求めた。次に基板単体の反りの影響を、パッケージの反り評価に考慮する必要があるため、同一ロットの基板を用いて各温度での反りを測定した。2 層基板、4 層基板ともに 3 個の基板を測定したが、サンプル間で値にバラツキはあるものの、150℃で約 10～15 $\mu\text{m}$  ほどの反り量であった。しかし、図 3.4 の 150℃のパッケージの反りは、非常に小さく、反り量・向きの判別がつかないほどのため、基板単体の反りの影響は検出できないと判断し、150℃の反り量を 0mm とした。反りの向きは、25℃の反りの向きを負、逆を正と定義した。

図 3.5 に、2 層基板の有限要素解析による反りの変形図を弾性解析の場合について示す。弾性解析と基板の緩和弾性率を用いた粘弾性解析で反り値を算出した。弾性解析の計算条件は、シリコンチップを実装した 150℃を応力フリーとし、室温の 25℃まで降温し、反りの測定温度の 250℃まで昇温して温度依存の反りを算出した。粘弾性解析は、弾性解析の計算条件に時間条件を追加して算出した。すなわち、反り測定の昇温時間に合わせるために 300sec で 25℃まで降温し、その後、400sec で 250℃まで昇温する反り測定と同条件で計算を行った。反り値の算出は実験データの反り値の算出方法と同じように、パッケージ中心とパッケージコーナー部の厚さ方向の差分から求めた。図 3.6 に、実測結果、弾性解析結果および粘弾性解析結果を示す。実測結果は、4 層基板の方が、2 層基板より第 2 章で求めた基板の見かけの CTE が大きいいため、常温付近での反りが大きくなっていることがわかる。シミュレーション結果も、ほぼ同等の傾向が出ており、第 2 章で算出した基板の CTE を用いて、パッケージの反りを概ね予測することができることがわかった。基板の物性を弾性解析と粘弾性解で計算した結果については、基板のガラス転移点（170℃）以上の高温域で、粘弾性解析による応力緩和の影響で反り量が弾性解析より約 10 $\mu\text{m}$  ほど小さくなり、実測値と離れる傾向になった。しかし、

高温域の実測値は約 10 $\mu\text{m}$  ほどばらつきがあり、2 層基板と 4 層基板で反り量の差異は判断できない。よって、今後は、さらに評価サンプルを増やすなどして、実測データの評価精度を上げ、基板の粘弾性解析の効果については、さらなる検討が必要である。



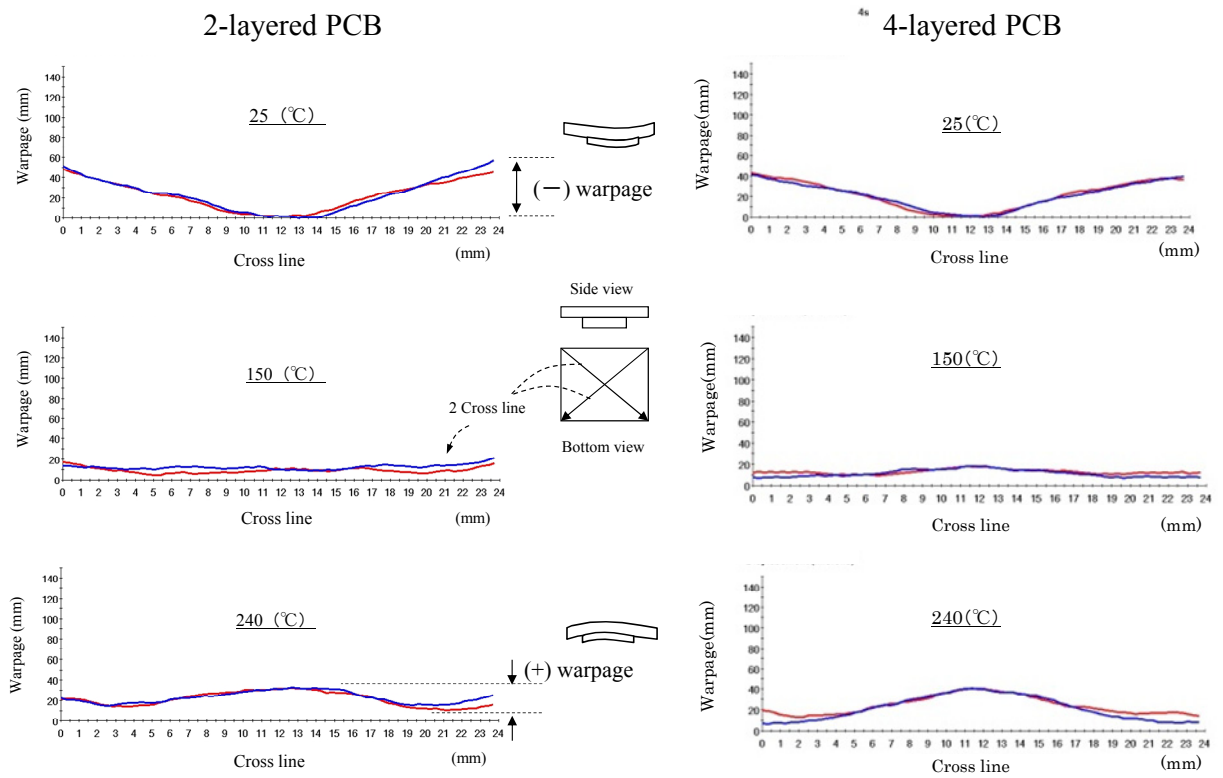


Fig. 3.4 Experimental measurements of warpage for 2- layered and 4- layered PCB .

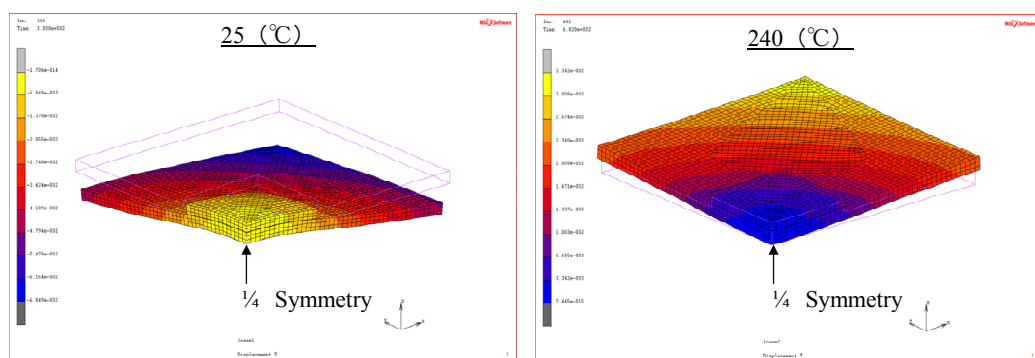


Fig. 3.5 Warpage of 2-layered PCB obtained by the elastic finite element analysis.

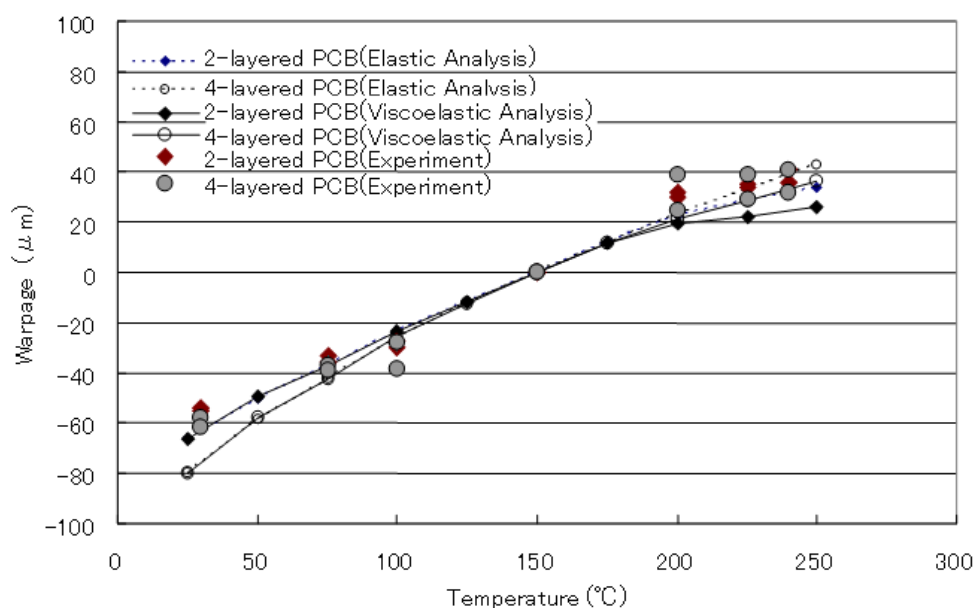


Fig. 3.6 Comparison of package warpage between experimental measurements and calculated results.

### 3.6 結言

本章では、基板構成材料と配線 CAD データから、第 2 章で求めた基板の見かけの CTE を用いて半導体パッケージの反り解析精度の検証を行った。本章で得られた結果を以下に要約する。

- (1) 基板構成材料と配線 CAD データから求めた基板の見かけの CTE を用いて、Flip chip パッケージの反り解析を実施すると、実験結果と概ね一致することがわかった。本章の結果から、基板の見かけの CTE を予測する手法がパッケージの反り解析に有効であることがわかった。

以上，本章での検証結果から第 2 章で求めた基板の見かけの CTE を用いてパッケージの反りを概ね予測できることを示した．次章では，さらに **Flip chip** パッケージの反り精度の検討を行い，反りとチップ表面の残留応力の両方を満足するモデリング手法について言及する．

### 第 3 章の参考文献

- [1] 中村省三, 村上元, 井坂和博, 上野恵尉, 中村敬一, “FCA 方式による半導体デバイスの熱粘弾性解析による反り変形挙動の予測”, エレクトロニクス実装学会誌, Vol.2, pp.291-297, 1999.
- [2] M. Y. Tsai, Yu. C. Chen and S. W. RickyLee, “Correlation Between Measurement and Simulation of Thermal Warpage in PBGA With Consideration of Molding Compound Residual Strain”, IEEE Transactions on components and packaging technologies , Vol.31, pp.683-689, 2008.
- [3] M. Y. Tsai, C. W. Tinga, C. Y. Huanga, Y. ShaoLaib, “Determination of residual strains of the EMC in PBGA during manufacturing and IR solder reflow processes”, Microelectronics Reliability Vol.51, pp.642-648, 2011.
- [4] C. JZhao, S. S. Too and R. N. Master, “Reliability Modeling of Lidded FlipChip Packages”, Electronic Components and Technology Conference, pp.1091-1096, 2007.
- [5] T. Y. Wen and S. C. Ku, “Validation of Warpage for Small Form Factor Flip-Chip BGA by Experimental and Numerical Methodology” , Electronic Components and Technology Conference, Vol.7, pp.1587-1592, 2008.
- [6] S. S. Deng, C. Y. Ho, H. H. Lee, S. J. Hwang and D. Y. Huang, “Volume Shrinkage Characterization of Underfill Materials”, IEEE Transactions on components, packaging and manufacturing technology, Vol.1, pp.76-82, 2011.



## 第 4 章

# Flip chip パッケージの反りを考慮したチップ表面の残留応力評価

### 4.1 緒言

第 3 章では、第 2 章において計算で求めた見かけの線膨張係数を用いて Flip chip パッケージの反りを解析し、ほぼ実際の反りを予測できることを示した。第 4 章では、反り解析に加え Flip chip パッケージの半導体チップに生じる残留応力を、反り解析と同時に精度よく解析する手法について検討する。

半導体パッケージの反り [1-4] や、パッケージ内の半導体チップに生じる残留応力 [5-10] を精度良く解析した例は多数報告されているが、同時に両者を精度良く解析したという報告例は見あたらない。この原因として、応力フリー温度をどこに定めるかという問題がある。例えば、半導体パッケージの反りが 0 となる温度を応力フリー温度と定めると、半導体パッケージの反りを精度良く解析することができるが、内部の残留応力を正しく見積もることができない。一方、ピエゾ抵抗を利用した応力測定素子（ピエゾゲージ）を搭載した半導体テストチップを使用して、残留応力が 0 となる点を応力フリー温度として解析を行うと残留応力の解析値とピエゾゲージによる測定値は良く一致する [10] が、半導体チップの反りが一致しなくなる。

本章では、これらの不一致を解消することを目的として、半導体チップや樹脂基板の初期反りを考慮し、かつ半導体パッケージに用いられている樹脂の粘弾性特性を考慮する解析手法を提案する。このために、半導体チップと基板がダイボンディング剤で接合

された Flip chip パッケージ構造を例に取り, 提案する解析手法の有効性の検証を行う.

## 4.2 評価試験片とその構成材料の物性値

### 4.2.1 試験片の構造

本研究のために, 量産品の BGA などの半導体パッケージに用いられている 4 層基板と, 実際のデバイスを模擬したチップ (Si Chip) を導電性接着剤のダイボンディング剤 (Adhesive) で接合し, 図 4.1 に示す評価サンプルを作製した. 模擬チップには, 日立超 LSI システムズ製の市販チップを用いた. この試験片を 5 個作製した. 模擬チップには, 4 つのピエゾ抵抗ゲージ (GaugeX1, X2, Y1, Y2) が形成されている.

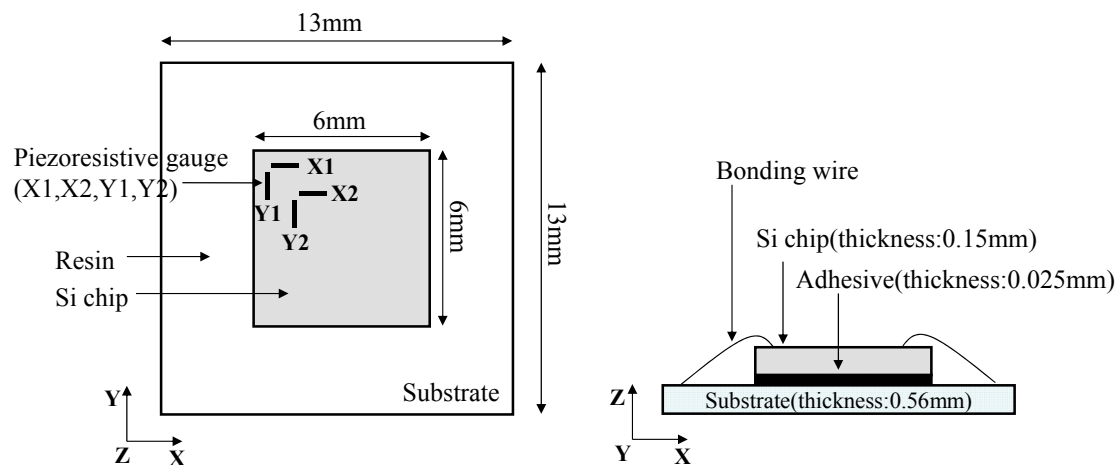


Fig. 4.1 Schematic of a test package.

## 4.2.2 構成材料の物性値

パッケージ構成材料の物性値は、実際の材料について測定した。実験に用いた基板の構造について図 4.2 に示す。図に示すように、総厚が約 0.4mm のビルドアップ基板となっている。ヤング率・線膨張係数 (CTE) の測定には、DMA・TMA をそれぞれ用い、測定条件は、第 2 章で述べた条件と同じにした。図 4.3(a), (b) に基板とダイボンディング剤の CTE とヤング率の温度依存性をそれぞれ示す。基板のヤング率の異方性は第 2 章の評価で異方性が小さかったため考慮しなかった。基板の CTE の異方性は実際の基板を用いて図 4.3 に示す X 方向, Y 方向の CTE を測定した。結果を図 4.4 に示す。X 方向, Y 方向ともにほぼ等しかったため、評価に用いた基板の CTE は平均した値を用いた。模擬チップの CTE は、 $3.5 \times 10^{-6}/^{\circ}\text{C}$ 、剛性定数は表 4.1 の値を用い[10]、解析座標系に回転 (テンソル変換) した値を解析に用いた。

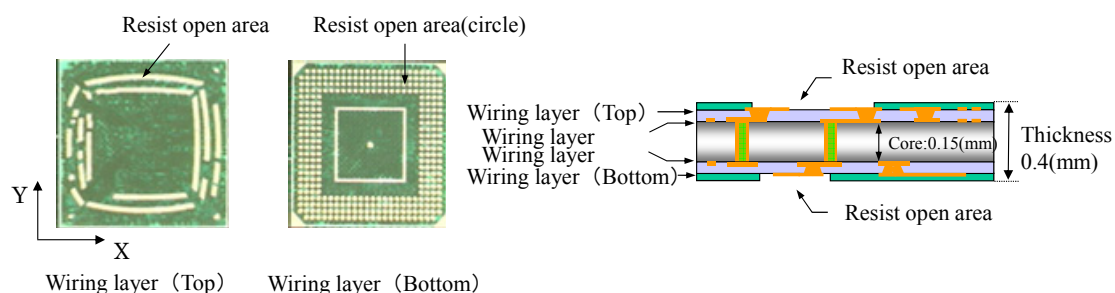


Fig. 4.2 Schematic of a substrate.



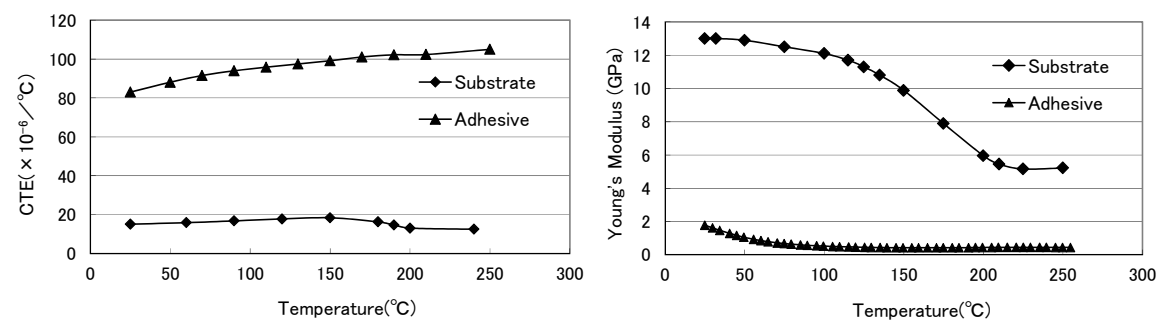


Fig. 4.3 Material properties of components in a package.

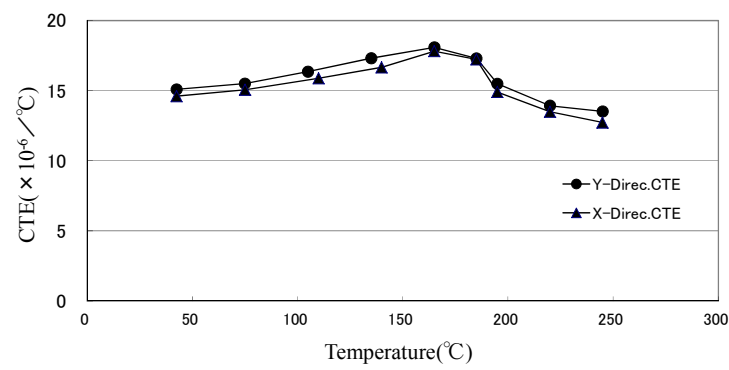


Fig. 4.4 Material properties of components in the printed circuit board.

Table 4.1 Components of stiffness matrix for silicon.

Crystal axis coordinate system: 1,2,3

$C_{11}$	165.7	$\begin{pmatrix} C_{11} & C_{12} & C_{12} & 0 & 0 & 0 \\ C_{12} & C_{11} & C_{12} & 0 & 0 & 0 \\ C_{12} & C_{12} & C_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & C_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & C_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & C_{44} \end{pmatrix}$
$C_{12}$	63.9	
$C_{44}$	79.6	
Unit: GPa		

## 4.3 ピエゾ抵抗チップを用いた残留応力測定

### 4.3.1 ピエゾ抵抗チップ

図 4.5 に本研究で用いた模擬チップ表面における piezo 抵抗ゲージの配置と寸法を示す．模擬チップには，4 つの piezo 抵抗ゲージ（Gauge X1, X2, Y1, Y2）が形成されている．piezo 抵抗ゲージは，Si 単結晶座標系で(001)面に形成されており，その長手方向は $\langle 110 \rangle$ および $\langle \bar{1}10 \rangle$ 方向である．本論文では応力測定結果や有限要素法モデルを表す便宜上， $\langle 110 \rangle$ を X 軸に， $\langle \bar{1}10 \rangle$ を Y 軸にとった座標を用いる．試験片は，正方形の形状のため，Gauge X1 と Y1 の計測値，および Gauge X2 と Y2 の計測値は，それぞれほぼ等しかったので，Gauge X1 と Gauge X2 の計測値で代表させた．今回使用した模擬チップは，ゲージの長手方向以外の応力成分（長手方向に垂直な成分や，せん断成分）に関する感度は小さく，長手方向に比較して約 1/100～1/10 であるが，本模擬チップでは，これらの成分を分離できないため，測定値に 1/100～1/10 程度の誤差を原理的に含んでいる[11]．

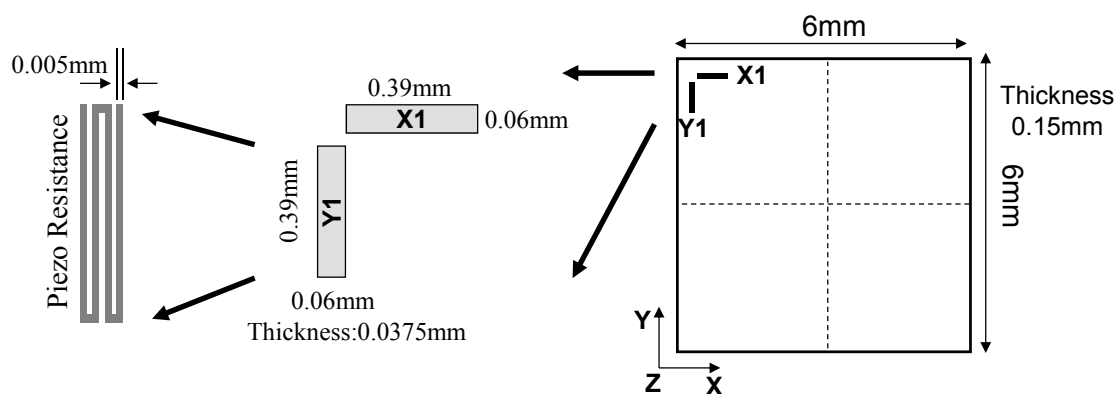


Fig. 4.5 Configuration of gauges on a test chip.

### 4.3.2 測定方法

式 (4.1) は、最も簡略化された 1 軸応力と応力に起因する抵抗値変化率の関係、すなわち、ピエゾ効果の関係を示しており、応力値があまり大きくない領域では抵抗値の変化率が応力に比例することが知られている[10].

$$\frac{R - R_0}{R_0} = S \times \sigma \quad (4.1)$$

すなわち、実装工程前の抵抗値  $R_0$  および実装工程後の抵抗値  $R$  を測定することで、実装工程によって模擬チップ表面に生じる残留応力を算出することができる. 式中で  $\sigma$  は、(1 軸) 応力、 $S$  は、応力感度を表す. しかし、実際には温度変化によって応力感度  $S$  とピエゾ抵抗は変化する. そのため、今回のテストチップの応力の算出には、補正項を加えた式 (4.2) を用いて算出した.

$$\frac{R_{(T)} - R_{0(T_0)}}{R_{0(T_0)}} = (\beta_1(T - T_0) + \beta_2(T - T_0)^2) + (1 - \alpha(T - T_0))(S \times \sigma_{(T_1)}) \quad (4.2)$$

ここで、 $T_0$  および  $T$  は、それぞれ  $R_0$  および  $R$  測定時の温度である. 今回使用したテストチップのピエゾ抵抗効果に関するデータは、テストチップの製造業者により測定されたものを用いた. 応力感度  $S$ 、その温度依存性を表すパラメータ  $\alpha$ 、ピエゾ抵抗の温度依存性を表すパラメータ  $\beta_1$ 、 $\beta_2$  を表 4.2 に示す[11].

次に残留応力測定の手順について述べる. 図 4.6 に示す組立工程で評価サンプルを製作し、バックグラインド後とチップを基板に実装後の 2 つの工程で抵抗値を測定した. 具体的には、Wafer 状態の模擬チップをバックグラインドテープに張り付けて研磨し、薄く加工した後、平坦な台座に固定し、反りが発生しない状態で測定した抵抗値を  $R_{\text{bare}}$ 、Wafer 状態からダイシングにて切り出した模擬チップを基板へダイボンディングした後の抵抗を  $R_{\text{die}}$  とする.  $R_{\text{bare}}$  から  $R_{\text{die}}$  への抵抗値変化により、ダイボンディングにより生じた残留応力が、式 (4.2) を用いて算出できる.

Table 4.2 Calibration parameters of a piezoresistive gauge.

$S$ : Stress sensibility	$-1.30 \times 10^{-4}/\text{MPa}$
$\alpha$ : Thermal dependency coefficient of stress sensibility	$-1.00 \times 10^{-8}/^\circ\text{C}$
$\beta_1$ : Thermal dependency coefficient of piezoresistance	$1.52 \times 10^{-3}/^\circ\text{C}$
$\beta_2$ : Thermal dependency coefficient of piezoresistance	$1.44 \times 10^{-7}/^\circ\text{C}^2$

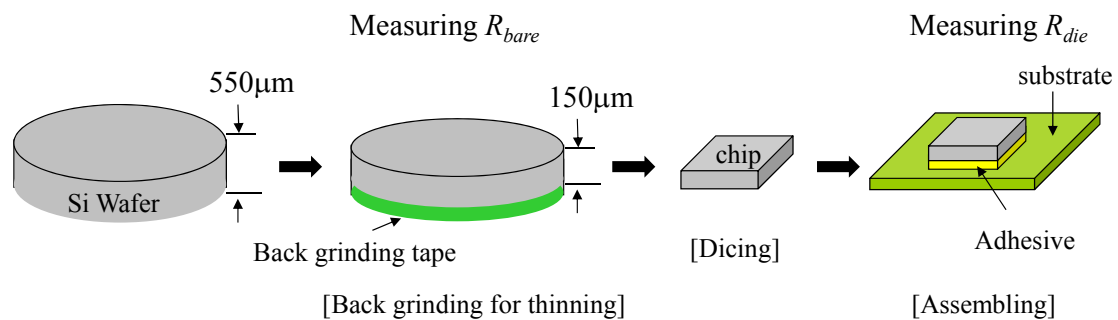


Fig. 4.6 Assembling process of a test sample.

#### 4.4 Flip chip パッケージの反り・応力解析

パッケージの反りは、3 章と同じ条件でモアレ干渉縞反り測定装置を用いて、室温 (25°C) ~ 250°C までの測定を行った。模擬チップの応力値は室温 (25°C) で測定した。Flip chip パッケージの反りと応力値の測定値を、シミュレーション結果と比較することにより解析精度の検証を行った。

### 4.4.1 模擬チップと基板の初期反りの測定結果

本研究のために用いた模擬チップは、バックグラインド処理で  $150\mu\text{m}$  の厚さに薄く削った後、反りが発生した。基板は、製造初期（入荷）状態から反りが発生していた。模擬チップの反りの要因は、模擬チップ表層の回路部と Si 単結晶のコア部の線膨張係数のミスマッチから発生した残留応力を、Si チップを薄くしたために支えきれなくなったために発生したものと推定した。一般に半導体チップは、コア部の Si 単結晶部と表層の回路形成部の構成材料が異なるため、今回の模擬チップのように  $150\mu\text{m}$  程度にまで薄くなった場合は、線膨張係数のミスマッチから反りが発生することが知られている。模擬チップの初期の反り量の測定には、表面粗さ計を用いた。反り量の温度依存性を調べるために、試験片を小型卓上ホットプレートに置き、試験片の基板の厚さ方向の温度勾配が無くなるまで十分に時間経過させた後、表面荒さ計で反りを測定した[12]。模擬チップの反り量の測定例を図 4.7 に示す。模擬チップについては、回路面を上にして対角線に沿った反り量を測定した。模擬チップの角部には、加工時の欠けなどがあるため、模擬チップ角部から  $0.25\text{mm}$  の部分は、測定値から除いている。この反り量の計測結果を最小二乗法を用いて二次式で近似し、最大値と最小値の差を、その反り値と定義した。初期の反り値について、合計 18 個の模擬チップを測定した結果、平均は  $26\mu\text{m}$  であった。一方、基板単体の反り量の測定には、モアレ干渉縞反り測定装置を用いた。表面荒さ計を用いなかったのは、基板表面に複数存在するレジストが塗布されていない開口部の凹凸の影響で測定ノイズが多く発生する誤差要因があるためである。はんだ実装面を上にして、端部に平行な対称線に沿って測定した。模擬チップと同様に対角線に沿って測定しなかったのは、基板の角部に製造プロセスに起因する不規則な変形があり、その付近の測定値が安定しなかったためである。測定結果を図 4.8 に示す。模擬チップと同じ近似方法を用いて反り値を定義し、合計 15 個の基板の初期の反り値を測定し、平均値で  $18\mu\text{m}$  の値を得た。模擬チップと基板の中心部に、共に局所的な凹部があるが、その部分のみ、模擬チップは回路が形成されておらず、基板はレジスト材が塗布されていない開口部が、局所的に凹となっている。また、基板中央部分に、近似式では再現できていない平坦な反りがあるが、この反りは、組立後のサンプルの反り測定でも常に観測されるため、レジスト厚の成形バラつきを測定していると推定し、反りの評価には考慮しなかった。模擬チップや基板の初期の反りをシミュレーションモデルに適応させる場合、温度依存の反りの変化量も考慮する必要がある。単体状態の模擬チップや基板の

温度依存の反りの変化量が大きければ、組立後のパッケージの温度依存の反り量に影響する。そこで模擬チップと基板の温度依存の反りを測定した。しかし、温度を室温(25℃)から 230℃まで変化させたが、模擬チップ、基板ともに数 $\mu\text{m}$ の反りの変化量しかなかったため、パッケージ後の反りおよび Si 表面の応力値への影響は小さいと判断し、解析においては初期の反り値の温度依存性を考慮せず、平均値をシミュレーションモデルに適用した。

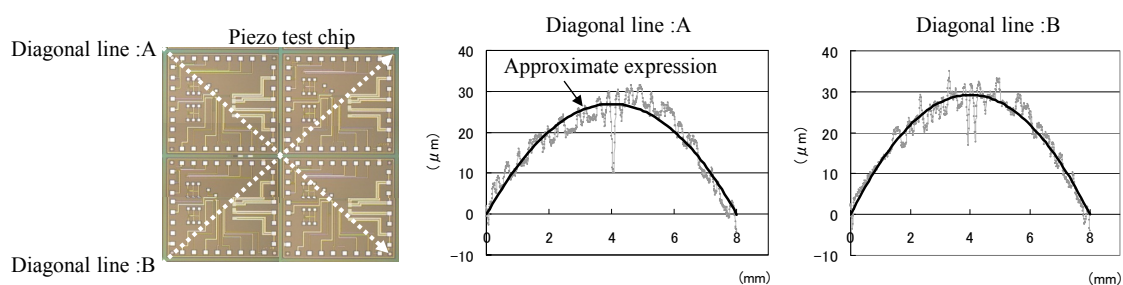


Fig. 4.7 Measured initial warpage of a chip.

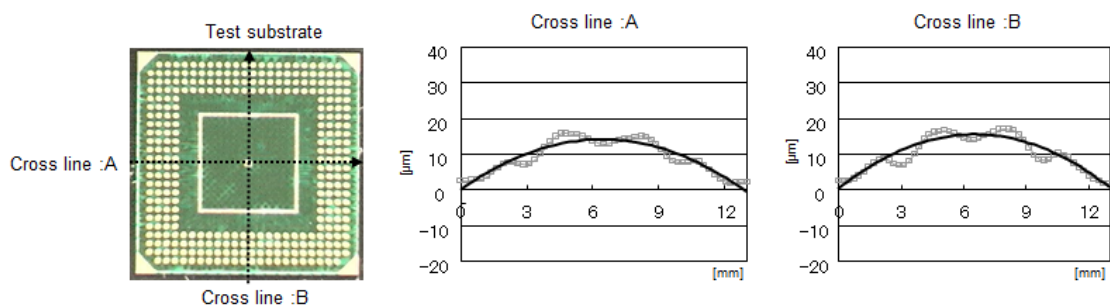


Fig. 4.8 Measured initial warpage of a substrate.

## 4.4.2 シミュレーションモデル

数値解析には、MSC Software 社の汎用解析ソフトウェア MARC2008 を使用した。図 4.9(a) に解析に用いた Flip chip パッケージの有限要素法モデル (Finite Element Method: FEM) (1/4 対称モデル)、図 4.9(b) にピエゾ素子設置位置を示す。有限要素法モデルは、8 節点 Solid 要素を用いて作成し、基板は厚さ方向に 3 分割した。模擬チップのピエゾ抵抗ゲージエリアの面内方向のメッシュサイズは、長手方向は 6 分割、短手方向は 3 分割し、厚さ方向は、ピエゾ抵抗ゲージエリア層のアスペクト比を考慮し 0.03mm に設定し、残りの層は 0.06mm の厚さに設定した。図 4.10 に模擬チップと基板の初期反りのモデル化の方法を示す。実際の実装条件は、反りが発生している基板上にダイボンディング剤（硬化前の粘度の高い液状状態）を塗布し、その上に、すでに反りが発生している模擬チップを実装し 150℃の恒温槽で加熱することでダイボンディング剤を完全硬化させサンプルを作製した。この条件を再現するために、まず、模擬チップと基板の Z 方向（板厚方向）に分割された要素の 1 層のみに、実際の実装条件（150℃）より高い反りを模擬するための初期温度を設定し、実装条件の 150℃では、既に基板と模擬チップの熱収縮により反りが発生している現象を模擬した。この初期温度を調整することで熱収縮による反りが発生し、実験値と同じ初期反りの値を再現した。初期温度の値は、模擬チップで 265℃、基板で 170℃である。この手法により初期反りを再現した後、ダイボンディング剤が硬化する 150℃をダイボンディング剤の応力フリー温度として、組み立てプロセスと同じ条件で降温させ室温の 25℃で応力値を評価した。次に、モアレ干渉縞反り測定装置と同じ条件で昇温させ、反り値を評価した。評価に用いた反り値は、組み立てプロセスの残留応力が解放される 2 回目の昇・降温時の値を用いた。計算後の応力値は、図 4.9(b)に示す X1, X2 のピエゾ素子エリアの節点の値を平均して求めた。

本研究では、模擬チップの部分を異方性弾性体、樹脂基板(substrate)、ダイボンディング剤（導電性接着剤:adhesive）を粘弾性体として解析した。粘弾性解析は、第 2 章と同じ測定方法で各材料のマスターカーブを求め、一般化 Maxwell モデル[4][13]を用いた。図 4.11 にマスターカーブ、表 4.3 に W.L.F. (Williams-Landel-Feery) 式の定数を示す。

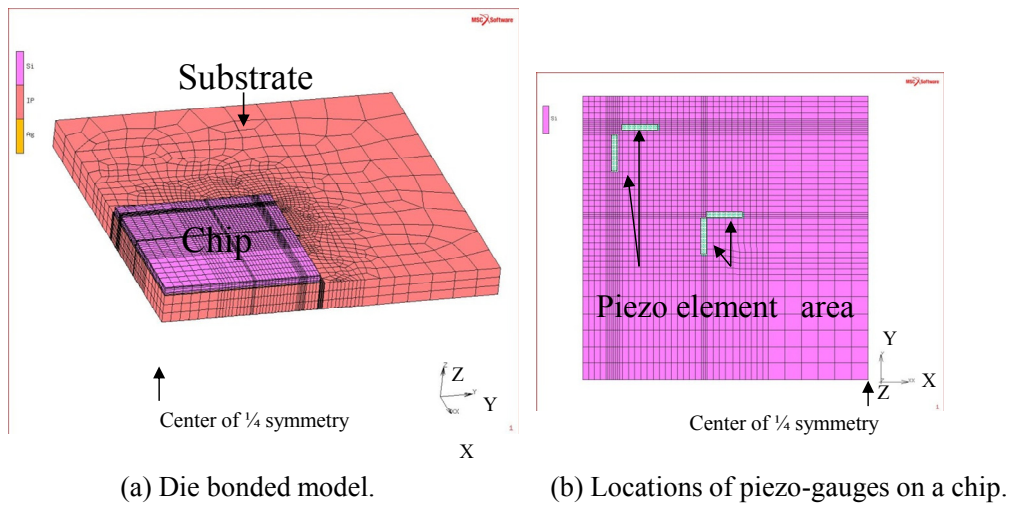


Fig. 4.9 3D FEM model.

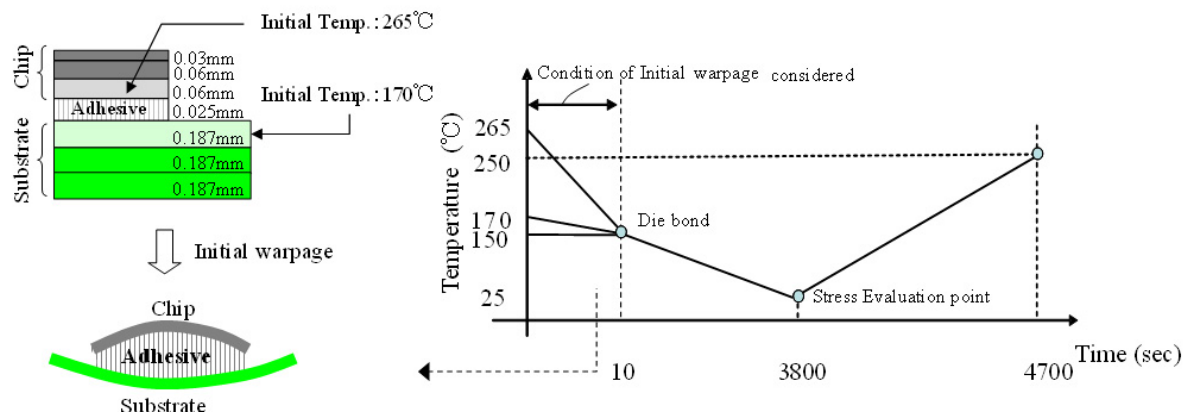


Fig. 4.10 Schematic of model for the initial warpage.



Table 4.3 Coefficients of shift factor.

	$C_1$	$C_2$	$T_r(^{\circ}\text{C})$
Resin	25	119	140
Substrate	29	98	170
Adhesive	29	162	0

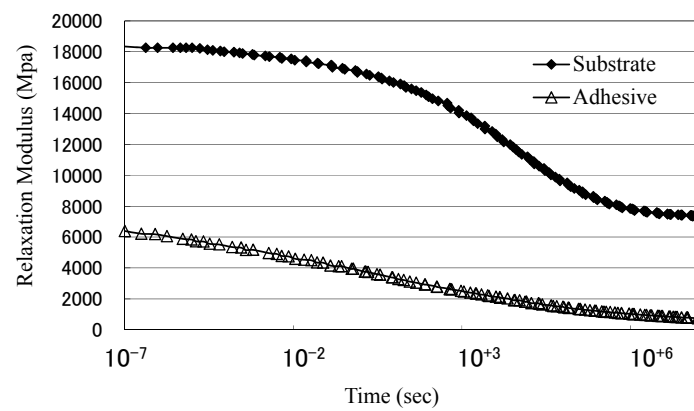


Fig. 4.11 Master curves of relaxation moduli for materials in a test package.

#### 4.4.3 解析結果および考察

Flip chip パッケージの反りとピエゾ抵抗ゲージ (Gauge X1, X2) の応力値の測定結果を、前述の解析方法を用いて求めたシミュレーション結果と比較した。測定サンプル (Flip chip パッケージ) の反り形状を室温から 240°C の温度範囲で図 4.12 に示す。反りの測定値は、1 回目の昇温過程では硬化反応が進むため、それ以後の降温・昇温の繰り返し過程とは反りの温度履歴が異なることが知られている。そこで、本研究では 2 回目の昇温と降温の値を採用した。Flip chip パッケージの反り値は、模擬チップや基板の初期反りと同じ定義で求めた。すなわち、図 4.12 に示す反りの計測結果を最小二乗法を用いて二次式で近似し、最大値と最小値の差を、その反り値と定義した。次にシミュレーション結果の反り値と測定値との比較を図 4.13(a)に示す。模擬チップと基板の

初期の反りを考慮することにより、反りは、シミュレーション結果と実験値とでほぼ一致した。一方、ピエゾ抵抗ゲージ (Gauge X1, X2) 部の応力値のシミュレーション結果との比較結果を図 4.13(b)に示す。

まず、図 4.13(a)の反りについては、すべての材料を弾性と仮定しても初期反りを考慮することで実測値とほぼ一致し、基板とダイボンディング剤の粘弾性を考慮した解析値もほぼ同じであった。なお、弾性解析のヤング率の値としては、測定機器メーカー推奨条件で行った前出の図 4.3(b)に示す DMA の測定値を使用した。125℃での実験値とシミュレーション値との差が大きいが、図 4.12 の測定データを参照すると 100℃と 125℃の反り量の測定値は非常に小さく、基板の表面の凹凸が顕著に測定されている状態であり、実質的には 100℃と 125℃の反り量の差異は非常に小さいと見なすことができる。図 4.13(a)には、反りの測定値をプロットしているが、125℃の場合には基板周辺部の測定値のばらつきにより見かけ上大きな反りが生じたもの考えられる。そのような意味で、125℃の反り量の測定値は参考値と見なすべきであろう。しかし、それらを考慮しても 150℃を超えた温度領域での単位温度当たりの反り量は、150℃以下よりも小さくなっており、温度依存の反りの非線形性が認められる。その原因としては、ダイボンディング剤の粘弾性挙動が関係していると推測される。図 4.3(b)に示すダイボンディング剤の弾性率は 100℃を超えた付近より、非常に小さい弾性率になっている。このため、模擬チップ界面や基板界面において、粘弾性解析では再現できない微小な粘性滑り現象が発生し、100℃を超える温度域では反りの変化量が小さくなったと推定した。よって、この現象を再現できるモデルの開発が、今後の研究課題として残るが、現行のモデルでも、概ね反りは全温度域で実験値と一致した。一方、図 4.13(b)の模擬チップ上の応力の測定値については、弾性解析では実測値と大きく離れ、初期反りを考慮しても、まだ差が存在した。しかし、基板とダイボンディング剤の粘弾性を考慮することで、実測値とほぼ一致した。通常、チップが図 4.13(a)に示す上に凸方向の反りでは、チップ表面には引っ張り方向の応力しか発生しない。しかし、基板の初期反りが凹方向のため、チップは上に凸方向の反りから凹方向の反りへの影響を受ける。そのため、チップに圧縮方向の応力が発生した。さらにダイボンディング剤の粘弾性を考慮することにより、緩和弾性率の影響で、ダイボンディング剤のひずみが増し、基板の初期の反りの影響をより受けることになり、実験値と合う結果となったと推定した。これらのことにより、基板と模擬チップの初期反りの考慮と、基板とダイボンディング剤の粘弾性を考慮することで、

反りと模擬チップ上の残留応力の両方をシミュレーションにより、ほぼ正確に予測することができた。

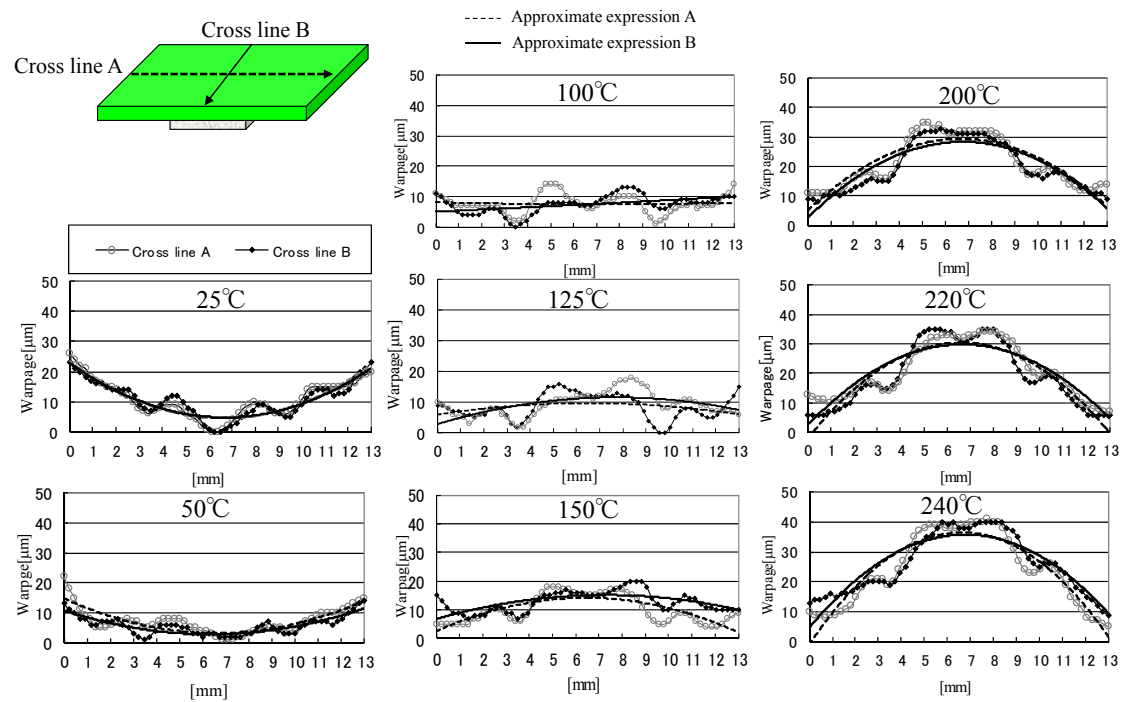


Fig. 4.12 Warpages measured along cross lines of a test samples.

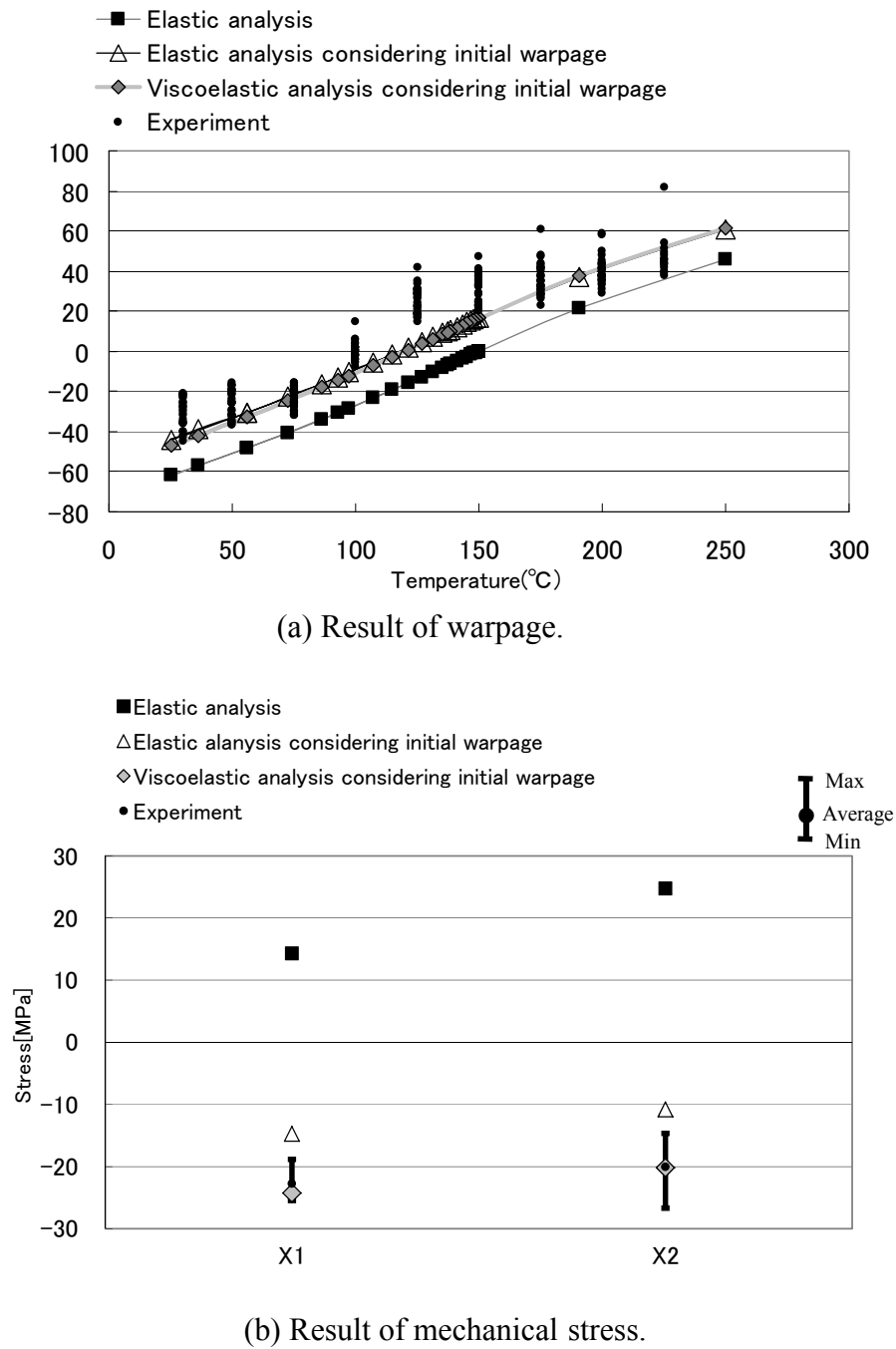


Fig. 4.13 Comparison between experimental measurements and numerical results.

## 4.5 結言

本研究では、模擬チップと基板の初期反りと、半導体パッケージに用いられている樹脂材料の粘弾性特性を考慮することにより、パッケージの反りと模擬チップの応力の解析精度を改善する手法を提案した。その結果、以下の知見を得ることができた。

- (1) 半導体パッケージ全体の応力フリー温度は、半導体パッケージを製作する温度に設定し、半導体チップと基板のそれぞれの接合前の初期反りが測定値と一致するように、曲率半径の内側にあたる一層分の有限要素の温度を変化させた。この様にして定めた反りを模擬するための初期温度を半導体パッケージの各構成材料に適用することで、広い温度範囲にわたって半導体パッケージの反りを予測することができた。この際、樹脂材料の粘弾性を考慮したか否かは、反りの解析値にあまり影響を与えなかった。これらのことより、既存の研究において、半導体パッケージの反りが 0 となる温度を応力フリー温度と定めなければ反りの精度良い解析が行えなかった原因は、構成部材の初期反りを考慮していなかったことにあると考えられる。
- (2) ピエゾゲージで測定した残留応力値と解析により求めた残留応力値は、応力フリー温度を半導体パッケージの製作温度に設定したのでは、全く一致しなかった。(1)の構成部材の初期反りを考慮する方法を用いることにより、解析値は測定値に近づいたが、樹脂材料を弾性材料と仮定した解析では、両者にまだかなりの乖離が見られた。構成部材の初期反りを考慮することに加えて、基板とダイボンディング剤の粘弾性特性も考慮することで、残留応力の解析値とピエゾゲージによる測定値は良く一致した。
- (3) 以上のことより、解析において、半導体パッケージの構成部材の初期反りと樹脂材料の粘弾性特性を考慮することで、反りと残留応力の両方を統一的に予測できることが明らかとなった。提案する手法により、これまでの半導体パッケージの反りと残留応力を予測する際に異なる応力フリー温度を用いるという、解析上の矛盾を解消することができた。

本章の結果に基づき、第 5 章では、樹脂封止されたパッケージに本手法を適応する。

## 第 4 章の参考文献

- [1] 中村 省三, 串崎 義幸, 後藤 雅彦, 大橋 和彦, 木戸 光夫, “粘弾性解析による電子部品の熱残留応力と反り変形挙動に及ぼす層構成の最適化”, エレクトロニクス実装学会誌, Vol.6, pp.80-87, 2003.
- [2] 中村 省三, 後藤 雅彦, 専坊 由介, 大橋 和彦, “粘弾性解析による新 BOC パッケージの層構造と物性の最適化設計”, エレクトロニクス実装学会誌, Vol.7, pp.239-246, 2004.
- [3] 三宅 清, “BGA パッケージの硬化収縮を考慮した反り熱粘弾性解析”, エレクトロニクス実装学会誌, Vol.7, pp.54-61, 2004.
- [4] 平田 一郎, 橋口 良行, “FEM 粘弾性解析による LSI-パッケージの反り変形の研究”, Mate2005 ; 11th Symposium on micro joining and assembly technology in electronics, pp.329-332, 2005.
- [5] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, “IC プラスチックパッケージ内応力測定素子の開発とその応用”, 日本機化学会論文集 A 編, Vol.53, pp.1826-1832, 1987.
- [6] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, “IC プラスチックパッケージ内シリコンチップ残留応力の検討”, 日本機化学会論文集 A 編, Vol.55, pp.1763-1770, 1987.
- [7] 三浦 英生, 西村 朝雄, 河合 末男, 村上 元, “IC パッケージ内シリコンチップ残留応力に及ぼすパッケージ構造の影響”, 日本機化学会論文集 A 編, Vol.56, pp.365-371, 1990.
- [8] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, “IC プラスチックパッケージ内シリコンチップ熱応力の検討”, 日本機化学会論文集 A 編, Vol.57, pp.1575-1580, 1991.

- 
- [9] J.C.Suhling , R.C.Jaeger , “ Silicon piezoresistive stress sensors and their application in electronic packaging” , IEEE Sensors Journal, Vol.1, No.1, pp.14-30, 2001.
- [10] 小金丸 正明, 池田 徹, 宮崎 則幸, “ピエゾ抵抗テストチップと有限要素法を用いた樹脂封止に起因する半導体チップ表面の残留応力評価”, エレクトロニクス実装学会誌, Vol.9, pp.186-194, 2006.
- [11] Phase5 仕様書, 株式会社日立超 LSI システムズ, 2005.
- [12] 倉科 守, 水谷 大輔, 伊藤 伸孝, “半導体パッケージの熱時反り予測の高精度化に向けた研究”, Mate2009 ; 15th Symposium on micro joining and assembly technology in electronics, pp.129-132, 2009.
- [13] 横堀武夫, 成沢郁夫, 高分子材料強度学, オーム社, 1982.





## 第 5 章

# 樹脂封止パッケージの反りを考慮したチップ表面の残留応力評価

### 5.1 緒言

第 4 章では，シミュレーション精度の妥当性を検証するために，応力測定用のピエゾ抵抗ゲージを配置した実際のデバイスを模擬したチップを製作し，模擬チップと基板をダイボンディング剤で接合した後の Flip chip パッケージの反りと応力の解析手法について評価した．

本章では，さらに樹脂封止を行った後のパッケージについて，反りと応力の解析手法について評価した結果を示す．樹脂封止されたパッケージの反りとチップ表面の残留応力の解析手法は，第 4 章で述べたパッケージ構成材料の初期の反りと，粘弾性物性を考慮する解析方法を用いた．その結果，反りは精度よく解析できたが，チップ表面の残留応力については精度良く解析できなかった．その原因は，封止樹脂の模擬チップ界面における応力緩和現象が，樹脂の粘弾性解析のみでは十分考慮できていないためと推測し，解析結果と比較することにより，そのような推測の妥当性を検討した．

## 5.2 評価試験片とその構成材料の物性値

### 5.2.1 試験片の構造

本研究のために用いた測定サンプルの構成材料は、第 4 章と同じ材料を用いた。4 章と同じようにチップ表面にピエゾ抵抗ゲージが配置された実際のデバイスを模擬したチップを用いて Flip chip パッケージを作製し、その後、エポキシ樹脂で封止したサンプルを 5 個作製した。

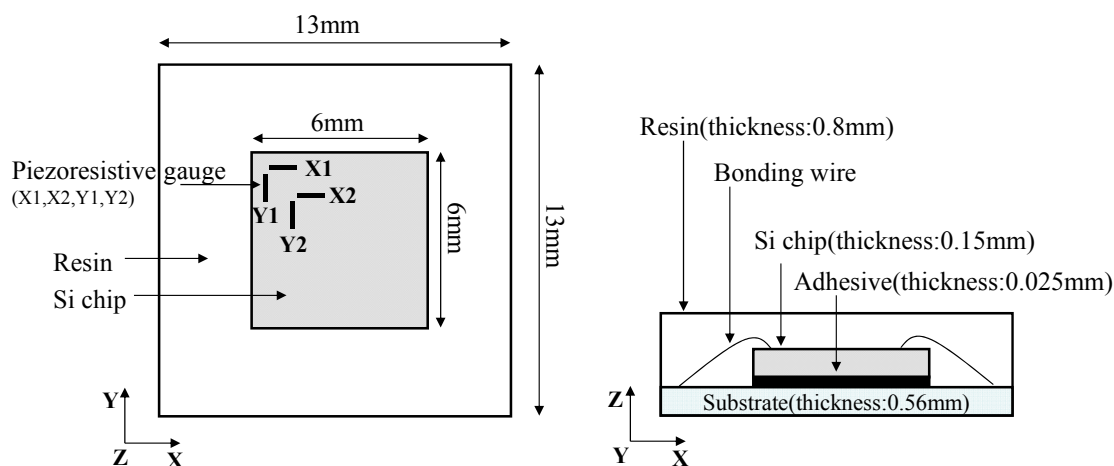


Fig. 5.1 Schematic of a test package.

### 5.2.2 構成材料の物性値

パッケージ構成材料の物性値は、封止樹脂（フィラー含有エポキシ樹脂）以外は第 4 章で測定した基板とダイボンディング剤と同じ材料のため、新たにエポキシ樹脂の物性値のみを測定した。封止樹脂のヤング率、CTE の測定には、DMA、TMA を使い、測定条件は、第 2 章で述べた条件と同じ昇温速度  $2.0^{\circ}\text{C}/\text{min}$  の引張荷重  $0.049\text{N}$ 、加振周波数  $10\text{Hz}$  で行った。測定結果のヤング率を図 5.2(a)に、CTE を図 5.2(b)に示す。粘弾性解析には、一般化 Maxwell モデルを用い、第 2 章と同じ測定方法でエポキシ樹脂の

緩和弾性率のマスターカーブを求めた。図 5.2(c)にエポキシ樹脂のマスターカーブ、表 5.1 に 第 2 章で示した W.L.F. (Williams-Landel-Feery) 式の定数を示す。

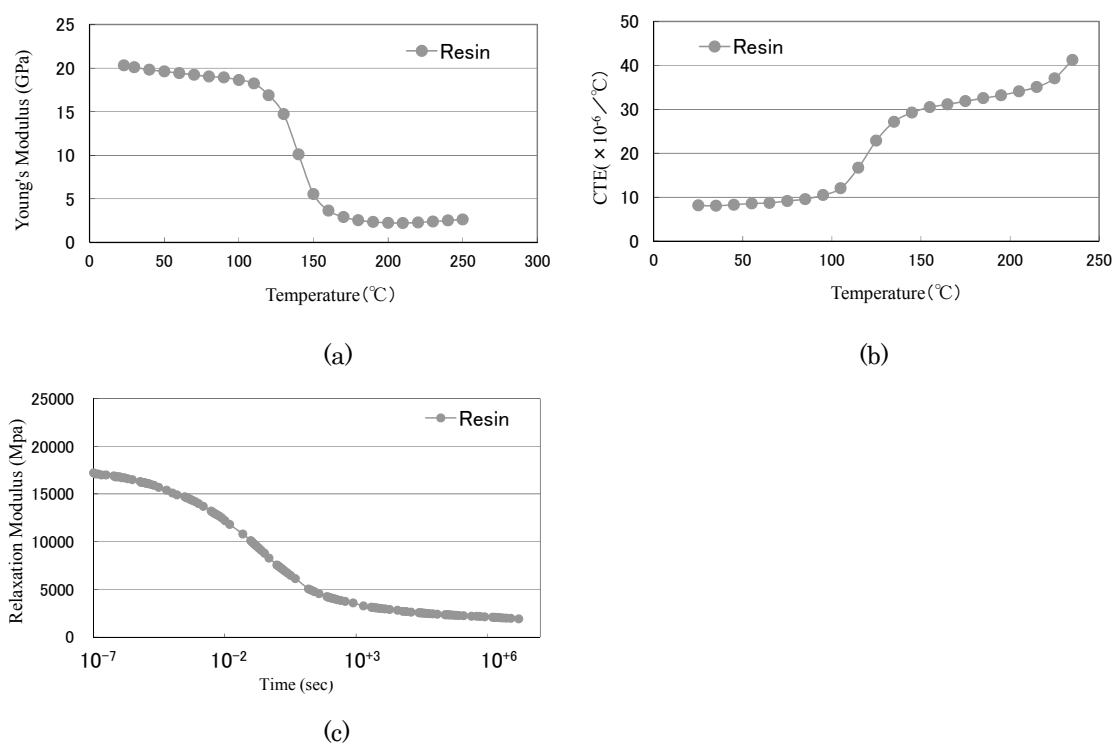


Fig. 5.2 Material properties of resin. (a)Young's modulus, (b)CTE, (c) Master curves of relaxation moduli.

Table 5.1 Coefficients of shift factor.

	$C_1$	$C_2$	$T_r(^{\circ}\text{C})$
Mold resin	25	119	140

### 5.3 ピエゾ抵抗チップを用いた残留応力測定

樹脂封止後の応力値の測定は、第 4 章と同じ模擬チップを用いて同じ測定方法で、ピエゾ抵抗ゲージ X1 と X2 の値を求めた。実装工程前のピエゾ抵抗チップの抵抗値と、樹脂封止後の抵抗値を測定することで、樹脂封止によって模擬チップ表面に生じる残留応力を算出することができる。残留応力測定の手順は、図 5.3 に示すように、模擬チップをバックグラインドした後のベアチップの状態の抵抗値を  $R_{bare}$ 、樹脂封止後の抵抗値を  $R_{pack}$  とする。 $R_{bare}$  から  $R_{pack}$  への抵抗値変化より最終的に全パッケージングプロセスによって生じた残留応力が、式 (5.1) を用いて算出できる。

$$\frac{R_{(T)} - R_{0(T_0)}}{R_{0(T_0)}} = (\beta_1(T - T_0) + \beta_2(T - T_0)^2) + (1 - \alpha(T - T_0))(S \times \sigma_{(T_1)}) \quad (5.1)$$

ここで、 $T_0$  および  $T$  は、それぞれ  $R_0$  および  $R$  測定時の温度、 $\beta_1$ ,  $\beta_2$  はピエゾ抵抗の温度依存性、 $\alpha$  は応力感度の温度依存性、 $S$  は室温での応力感度、 $\sigma_{(T_1)}$  は、測定温度の応力である。

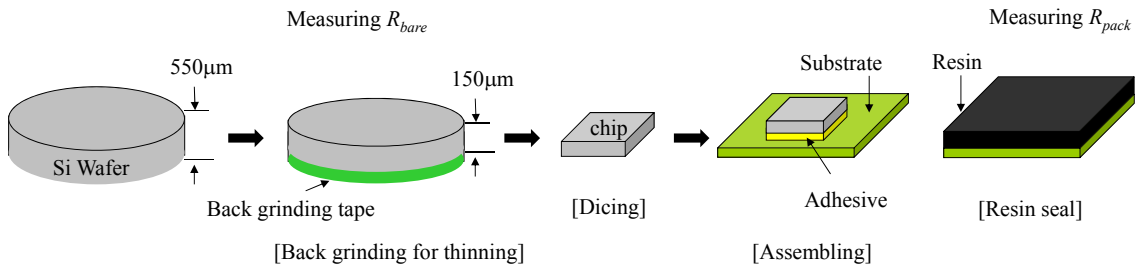


Fig. 5.3 Assembling process of a test samples.

## 5.4 樹脂封止後の反り・応力解析結果

パッケージの反りは、モアレ干渉縞反り測定装置を用いて、室温～250℃までの測定を行った。模擬チップの応力値は室温（25℃）で測定した。樹脂封止後で測定した反りと X 軸方向の垂直応力値（X1, X2）を、シミュレーション結果と比較することにより解析精度の検証を行った。

### 5.4.1 シミュレーションモデル

数値解析には、MSC Software 社の汎用解析ソフトウェア MARC2008 を使用した。図 5.4(a)に、解析に用いた樹脂封止後の有限要素法モデル（Finite Element Method: FEM）（1/4 対称モデル）を示す。第 4 章で用いたモデルのメッシュサイズは変えずに封止樹脂の要素のみを追加した。図 5.5 に計算条件を示す。封止樹脂以外は第 4 章と同じ構成材料を用いているため、模擬チップと基板の初期反りを 4 章と同じ方法でモデル化し、さらに樹脂封止の条件を加えて計算した。樹脂封止後のモデルは、150℃で初期反りを再現させた後、樹脂封止温度の 175℃まで昇温させる。次に、組み立てプロセスと同じ条件で降温させ室温の 25℃で応力値を評価した。さらに、モアレ干渉縞反り測定装置と同じ条件で昇温させ、反り値を評価した。計算後の応力値は、図 5.4(b)に示すピエゾ素子エリアの節点の値を平均して求めた。

本研究では、模擬チップの部分を異方性弾性体、樹脂基板(substrate)、ダイボンディング剤（導電性接着剤:adhesive）を粘弾性体、封止樹脂(resin)を弾性体と粘弾性体の 2 種類で解析した。

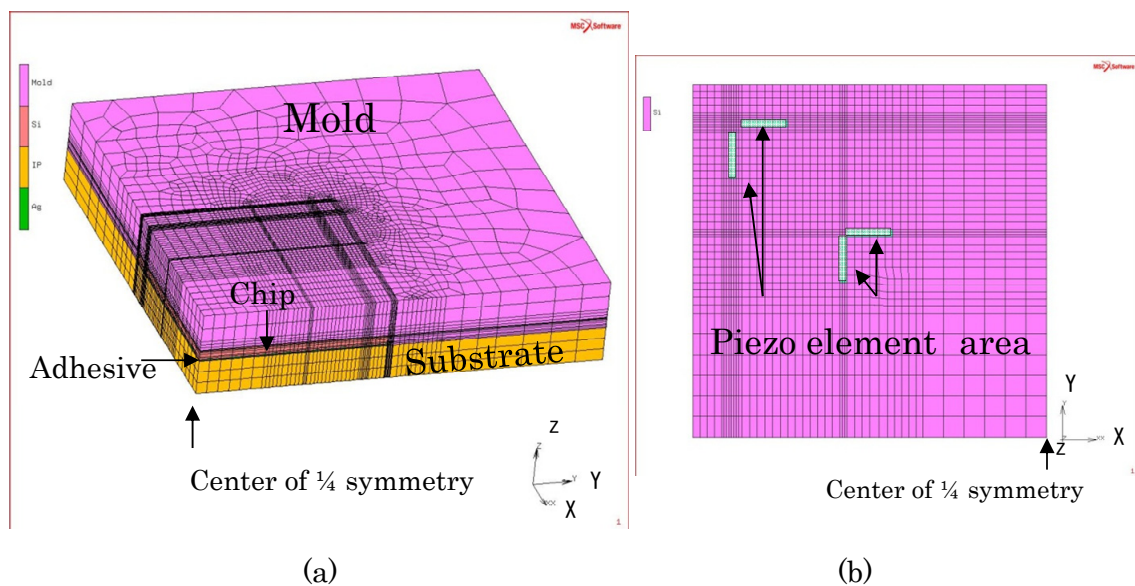


Fig. 5.4 3D FEM model.(a) Resin molded model, (b) Locations of piezo-gauges on a chip.

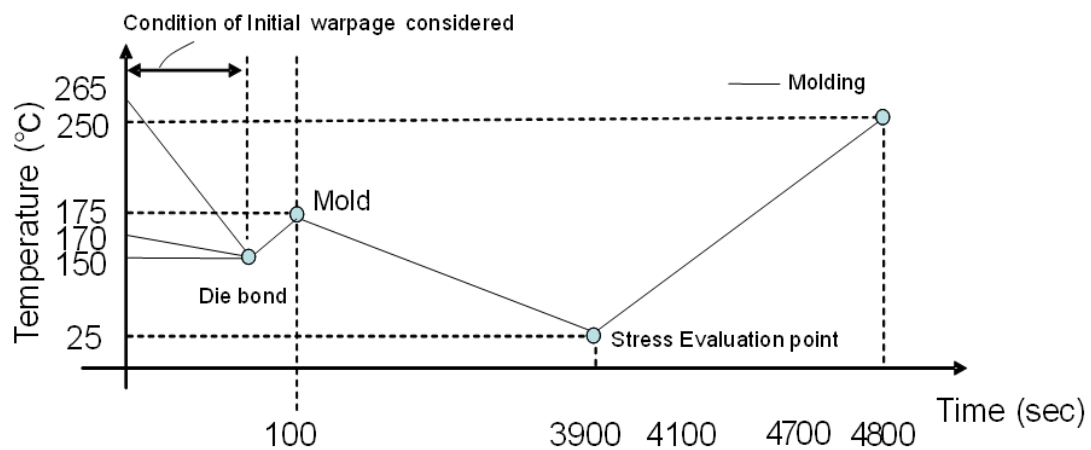


Fig. 5.5 Schematic of temperature history considering the initial warpage.

## 5.4.2 解析結果および考察

樹脂封止後の反りと応力について、封止樹脂を弾性と仮定した解析と粘弾性材料として解析した結果を実験値と比較した。反りの温度変化を図 5.6(a)、ピエゾ抵抗ゲージ X1, X2 により測定された室温 (25°C) での残留応力成分である  $X$  軸方向の垂直応力を図 5.6(b)に示す。模擬チップと基板の初期の反りを考慮し、封止樹脂を弾性物性で計算した結果では実験値と大きな開きがあった。一方、封止樹脂の粘弾性物性を考慮することにより、反りは実験値と精度良く一致した。このように、パッケージ構成材料の粘弾性解析では、反りについては実験値と良好に一致するが、応力値については実験値と一致しないことがわかった。そこで、次にその原因を考察した。

パッケージの模擬チップ表面に発生する残留応力評価には、封止樹脂のガラス転移点近傍を、応力フリー温度とすることが有効であることは既に報告されている[1]。本研究に使用した封止樹脂は、ガラス転移点が 115~130°C 近傍であることから、封止樹脂の応力フリー温度のみを 130°C に設定し計算を試みた。その結果、応力値は実測データと一致し、文献[1]と同様の結果を得た。反りは 130°C を応力フリーとすることで、模擬チップと基板の初期反りの影響を除けば、130°C での反り値は、ほぼゼロになる。しかし、図 5.6(a) の結果からも分かるように、実測値では 130°C 付近で反りが発生しており、解析値と大きく異なる。よって、模擬チップ周辺の封止樹脂による粘弾性挙動に加えて、さらなる応力緩和を起こす加熱時の変形挙動が存在すると考えられる。この原因を究明するために、レーザー顕微鏡画像にデジタル画像相関法を適用する手法を用いて、模擬チップと封止樹脂の界面付近の加熱時のひずみを測定した。

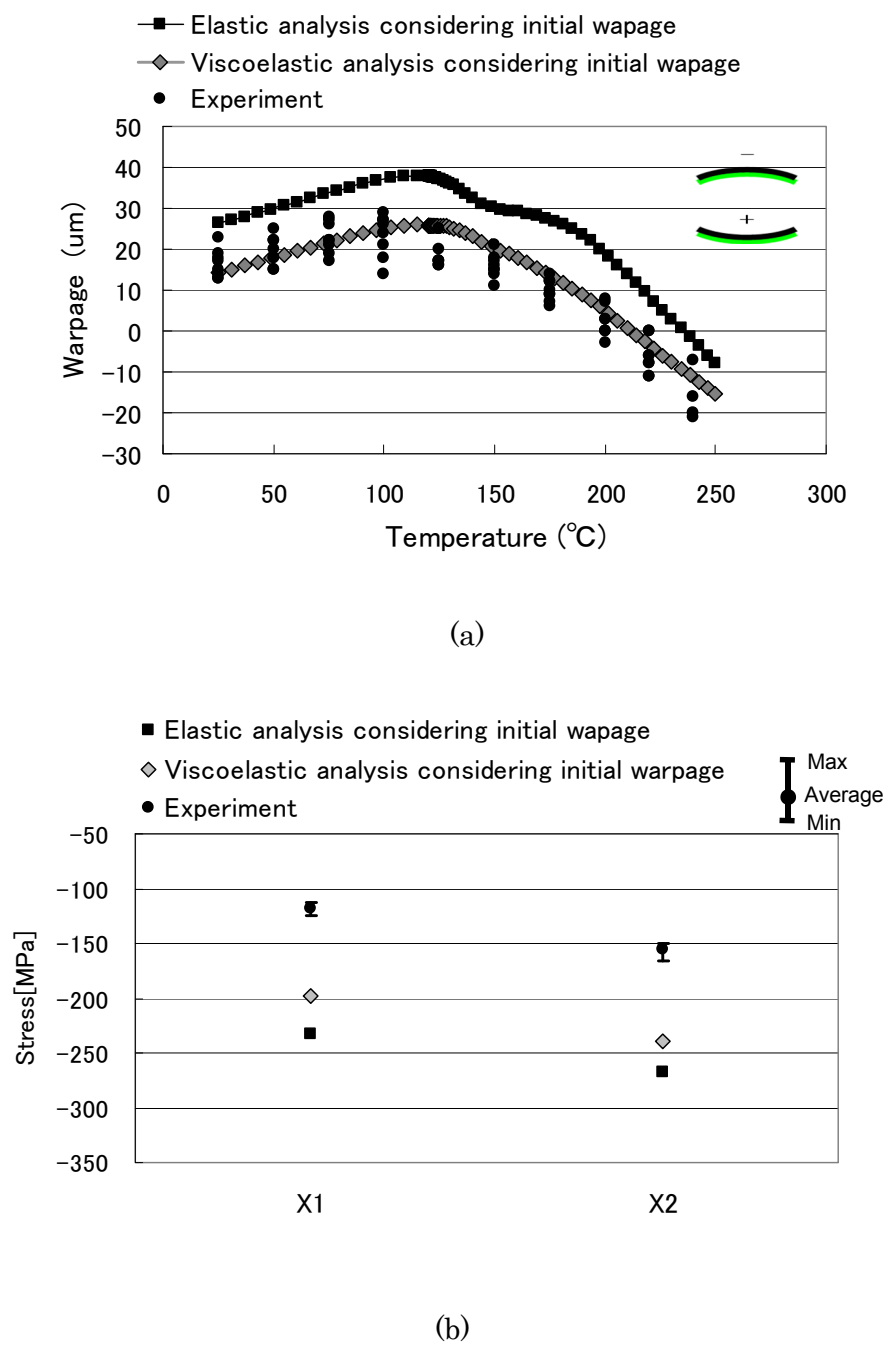


Fig. 5.6 Comparison between experimental measurements and numerical results after molding. (a) Results of warpage, (b) Results of mechanical stress  $\sigma_x$  at 25°C.



## 5.5 模擬チップ上における残留応力の解析精度の改善

### 5.5.1 デジタル画像相関法を用いた模擬チップと封止樹脂の界面近傍のひずみ測定

デジタル画像相関法 (Digital Image Correlation Method : DICM) [2-7] (以下, DICM と呼ぶ) は, デジタル画像上の任意の画素に着目し, その画素を中心とする部分画像領域 (サブセット) が別の画像ではどの領域にあたるかを相関関数を用いた評価により探索する手法である. 変形前後の観察画像において, サブセット中心の位置を比較することで, 変形による着目点の変位を得ることができる. さらに変位分布を移動最小二乗法で近似し, この近似関数を微分することでひずみ分布を求めた. この手法を用いて, 評価サンプルのピエゾ素子部周辺の断面を観測し, 前述のガラス転移点を境に, 23℃～103℃の弾性域と, ガラス転移点を越える 23℃～172℃で封止樹脂のひずみを観測した.

試験片の観測エリアを図 5.7 に示す. チップ辺に沿うように断面研磨を行い X1 ピエゾ抵抗ゲージまで切削した. その断面サンプルを DICM 測定装置で昇温してひずみを観測した. 観測エリアにおける DICM によるひずみの評価点は, 1 辺が 5 $\mu\text{m}$  の正方形の中心にある. これが FEM の格子状メッシュの節点のように観測エリア内に複数存在する. このとき, DICM によるパターンマッチングのサブセットサイズは, この正方形領域に当たり, この正方形が FEM の 1 次要素と同様の変形をすると仮定してひずみを算出する. 測定結果を図 5.8 に示す. 次に, その観測エリアの模擬チップ上面領域①と側面領域②の 2 箇所のひずみを評価領域として計測した. 上面領域①におけるひずみプロットグラフの概念を図 5.9 に示す. 計測されたひずみ値は, ブロックサイズの 5 $\mu\text{m}$  ごとに, 領域①②の, X 方向, Z 方向に存在するため, Z 軸には評価領域の下限値からの距離を, X 軸には, 同じ Z 座標に位置する X 方向のひずみ量 ( $\epsilon_x$ ) の平均値をプロットした.

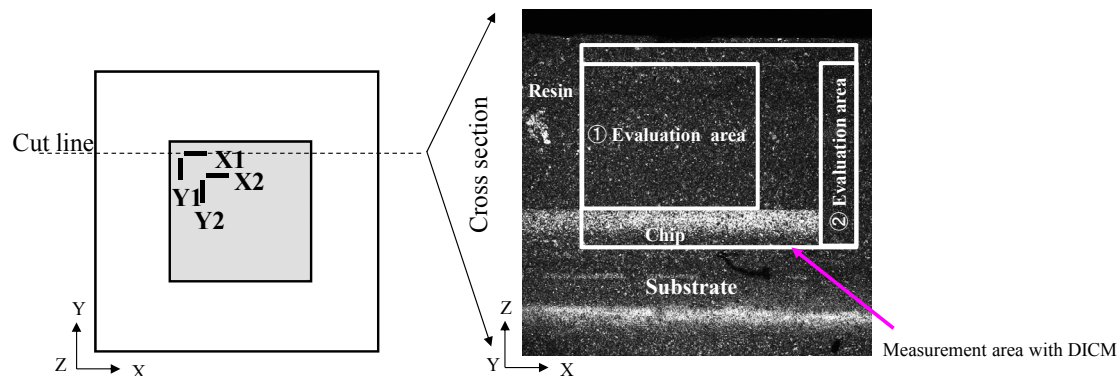


Fig. 5.7 Areas of strain measurement using the DICM.

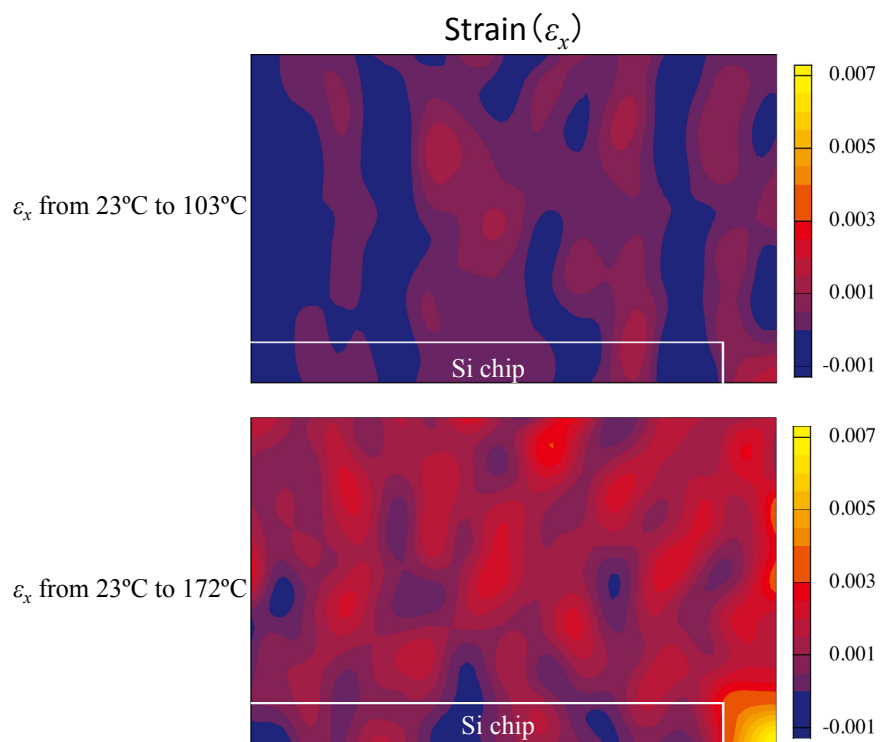


Fig. 5.8 Strain distribution measured by the DICM.

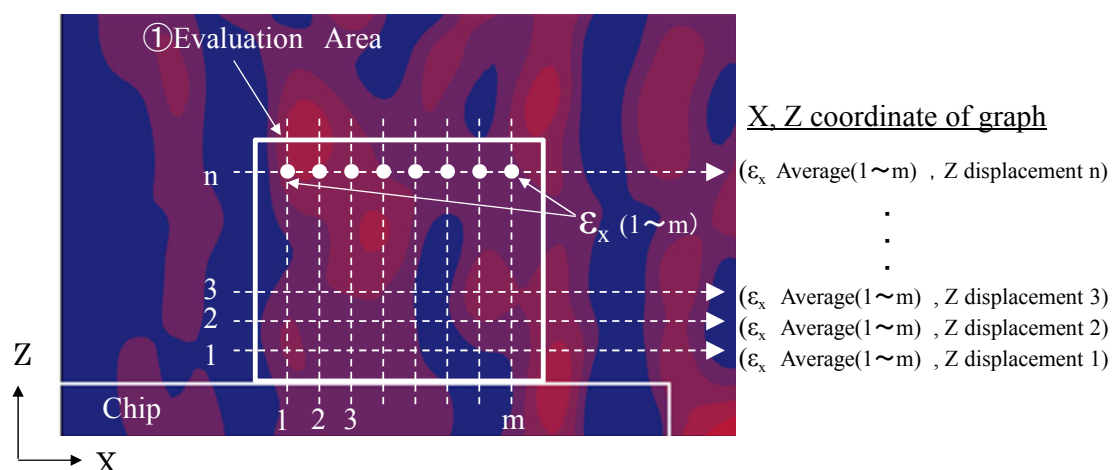
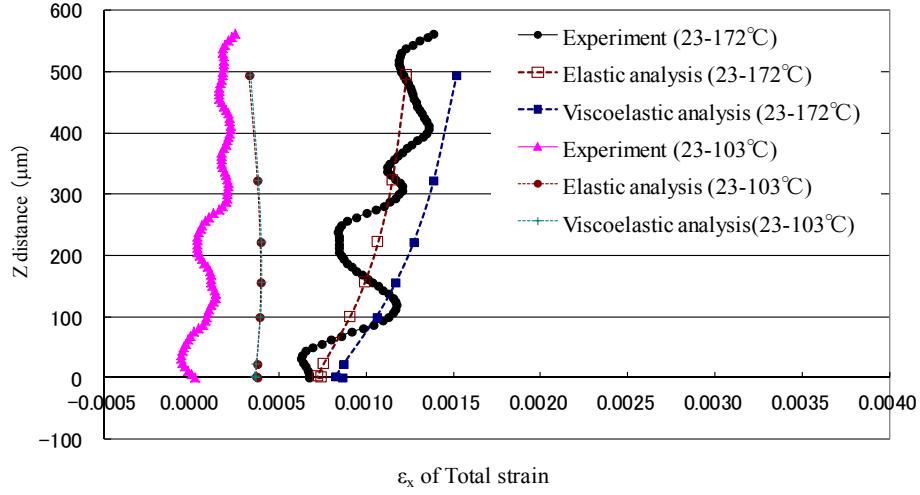


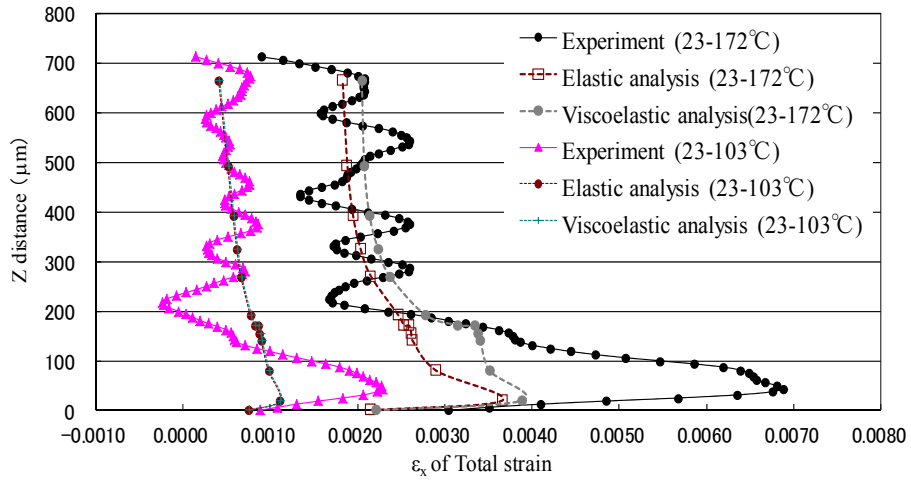
Fig. 5.9 Evaluated points of strain on a chip.

### 5.5.2 ひずみの解析結果と考察

図 5.10(a)にチップ上面領域①の DICM による実測値を，図 5.10(b)に側面領域②の実験値を FEM による解析結果とともにプロットした．ガラス転移点を越える  $23^{\circ}\text{C}$ ～ $172^{\circ}\text{C}$ では，弾性解析と粘弾性解析の両方を評価し，粘弾性解析の効果を検証した．解析に用いた FEM モデルは，測定サンプルと同じように断面研磨された同じ形状でモデル化した．FEM を用いて図 5.9 と同じ評価点のひずみを求めた．図 5.10(a) の結果より，領域①の模擬チップ上面のひずみ評価では，弾性領域で FEM によるシミュレーション値と実験値で多少の誤差はあるものの，粘弾性解析によりガラス転移点を越えた領域では，FEM の結果と実験値はよく合っている．一方，領域②の模擬チップ側面の結果では，DICM によるひずみ測定値では，模擬チップ側面で大きなひずみが観測されているが，粘弾性解析を用いたシミュレーションでも，このひずみは再現できなかった．そこで，この模擬チップ側面での大きなひずみが，模擬チップへの応力緩和に影響しているものと推定した．



(a)



(b)

Fig. 5.10 Comparison of strain distributions between experimental measurements and numerical results. (a) Strain distributions in the molding resin at the upper surface of a chip, (b) Strain distributions in the molding resin at the side of a chip .

### 5.5.3 模擬チップと封止樹脂界面近傍の樹脂物性の変化を考慮したひずみ解析

模擬チップ側面で解析よりも大きなひずみが測定された原因を調べるために、走査型電子顕微鏡（Scanning Electron Microscope: SEM）を用いて、模擬チップと封止樹脂界面近傍の観察を行った結果を図 5.11 に示す。封止樹脂には、CTE やヤング率などの材料物性の調整のため、フィラーと呼ばれるサイズの異なる球体のシリカ材が混入されている。SEM 観測の結果、界面近傍ではフィラーの影響が減少し、エポキシ樹脂単体の性質が優勢になるものと推定した。このことをモデル化するために、封止樹脂と接触するチップ、ダイボンディング剤、基板の界面にフィラーを含有しない（エポキシ樹脂のみ）封止樹脂を  $1\mu\text{m}$  の厚さで設定し解析を行った。モデルの概要を図 5.12 に示す。封止樹脂と接触する面には、全て  $1\mu\text{m}$  のフィラーを含まないエポキシ樹脂のみの物性を設定した。フィラーを含まない封止樹脂（エポキシ樹脂）のヤング率を図 5.13(a)に、CTE を図 5.13 (b)示す。また、粘弾性解析のための緩和弾性係数のマスターカーブを図 5.13 (c)に示す。比較のために、フィラーを含有する通常の封止樹脂の値もプロットした。エポキシ材の熱収縮を阻害するフィラーが無い場合、CTE は非常に高い値を示し、ヤング率もフィラーが無い影響で小さくなっている。このようにして解析した模擬チップと封止樹脂の界面近傍のひずみ分布をデジタル画像相関法による計測結果とともに図 5.14(a), (b)に示す。模擬チップと封止樹脂の界面に厚さ  $1\mu\text{m}$  のフィラーを含有しない封止樹脂の粘弾性物性を考慮することで、模擬チップ側面のひずみが実験値と一致した。このことより、ガラス点移転以上の温度領域においては、模擬チップとの界面付近の封止樹脂は、フィラーを含有しない樹脂に近い挙動を示していると推定される。また、ひずみのプロットがジグザグになっているのは、フィラーとエポキシ樹脂のひずみの違いが影響しているためと思われる。

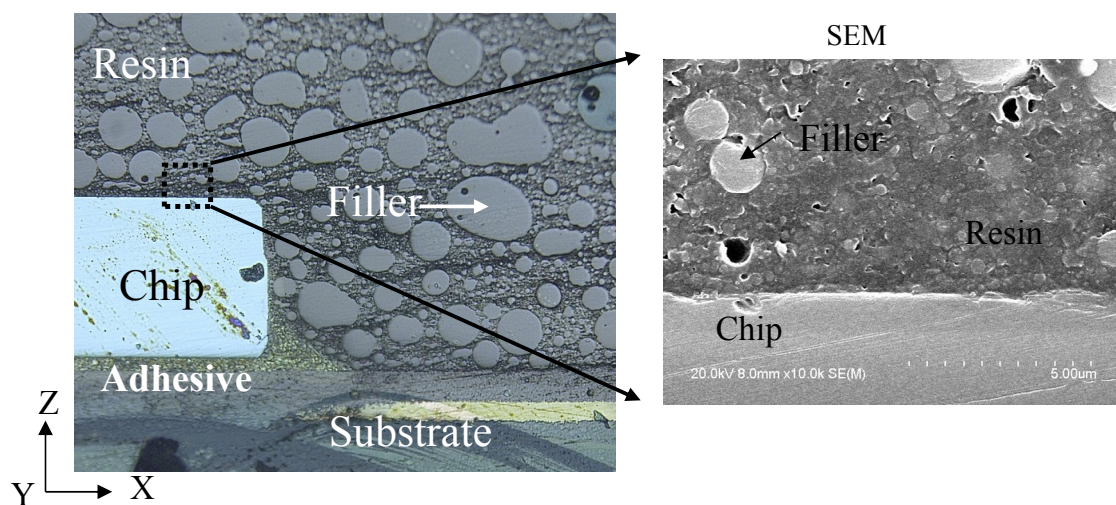


Fig. 5.11 Cross-sectional view of a package observed by a SEM.

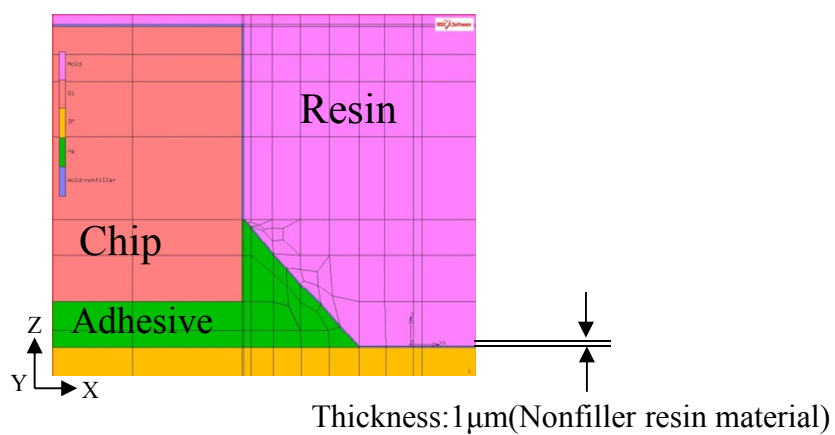


Fig. 5.12 3D FEM model including areas of molding resin without fillers with 1μm thickness.

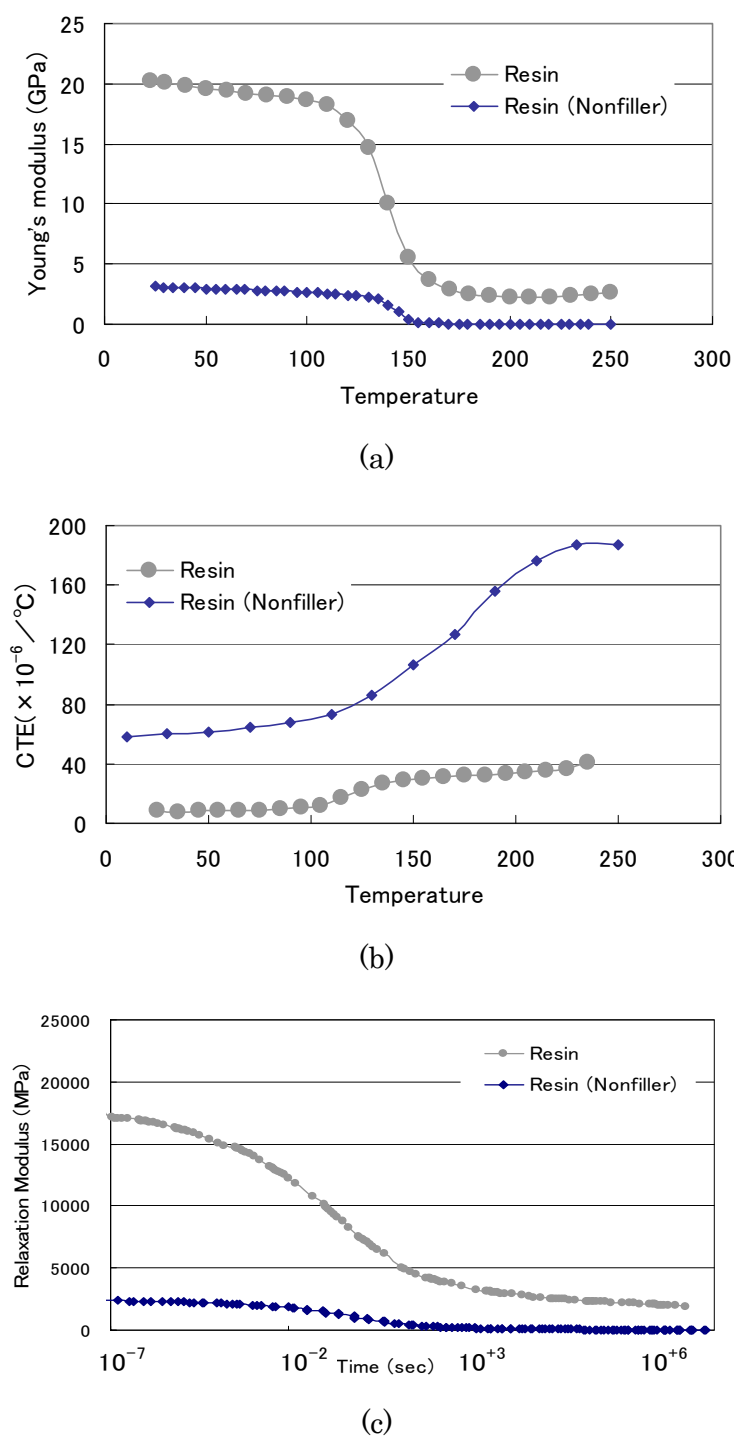


Fig. 5.13 Material properties of molding resin without fillers. (a) Young's modulus, (b) Coefficient of thermal expansion, (c) Master curves of relaxation modulus.

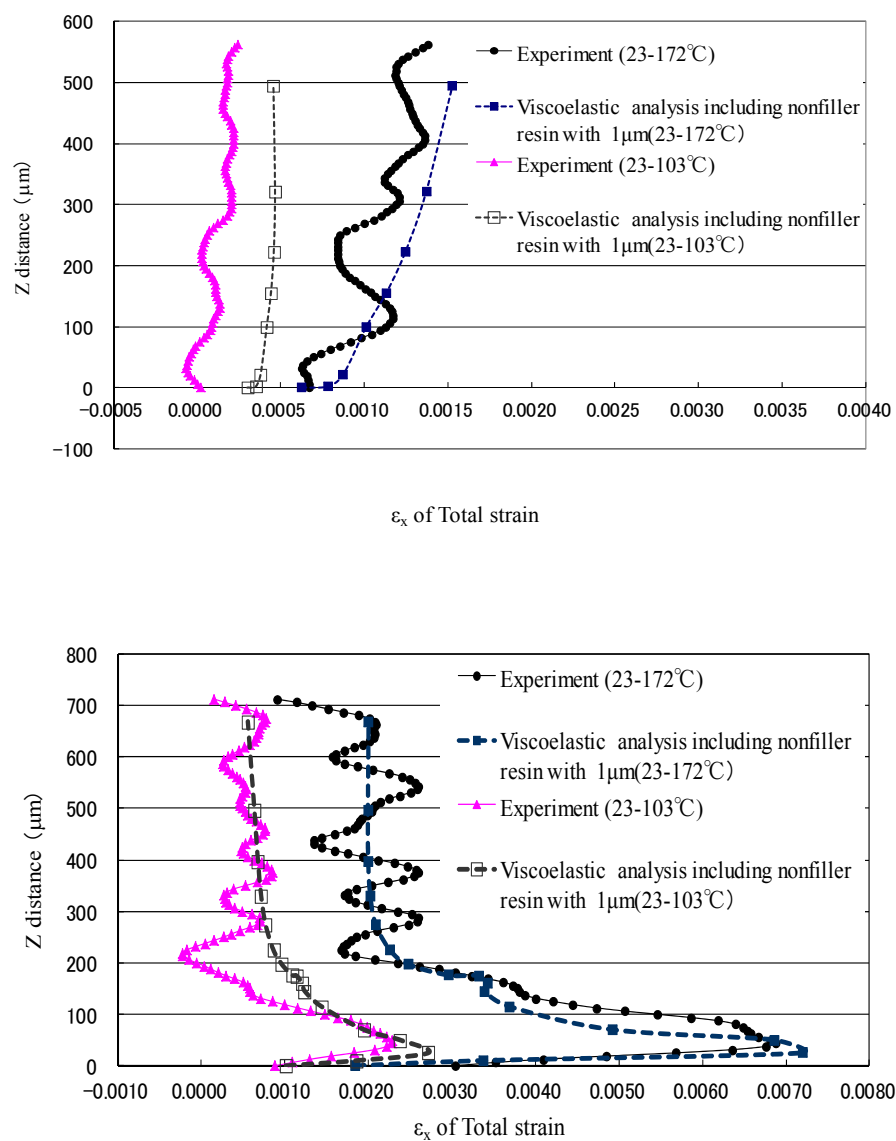


Fig. 5.14 Comparison of strain distributions between experimental measurements and numerical results.



### 5.5.4 反りと応力の解析結果および考察

DICM によるひずみの実験値とほぼ一致した FEM モデルを用いて、パッケージの反りと模擬チップ上の応力解析を行った。結果を図 5.15(a), (b)に示す。反りの解析値は、実験値と良く一致しているが、模擬チップ上の残留応力は、まだ実験値と大きな開きがあった。この原因として、模擬チップやダイボンディング剤と封止樹脂界面では、界面近傍の封止樹脂がエポキシ樹脂単体の性質に近づいているだけでなく、界面での滑りが発生している可能性が考えられる。DICM の結果は、変位を特定するサブセットの大きさが  $5\mu\text{m}$  であるため、界面での局所的な滑りまでは計測できていないと思われる。この仮定の妥当性を検証するために、有限要素モデルにおける模擬チップ、ダイボンディング剤と封止樹脂との接触界面に二重節点を用いた接触要素を配置し、摩擦係数を変更することにより滑り現象の再現を試みた。また、比較のために、模擬チップ・ダイボンディング剤と封止樹脂の完全なはく離を模擬したモデルでも解析を行った。その結果を図 5.16 に示す。摩擦条件を設定したモデルでは、応力緩和の減少幅は小さく、摩擦係数 0.1 を用いたモデルでも滑りによる残留応力の低下現象の再現はできなかった。さらに摩擦係数を小さくした解析も試みたが、接触モデルにおける計算値の収束性が悪化し、解析値に変化が生じるほど小さな値を設定することができなかった。そこで、最も極端な例として、二重節点間の拘束を行わない条件で解析を行った。この場合は、模擬チップ表面の応力が大きく緩和され実験値より小さくなった。このことより、摩擦係数が 0 から 0.1 の間の係数を設定できれば、模擬チップ表面の応力の計測値と解析値が一致するものと考えられる。

以上の解析結果から、封止樹脂のガラス転移点を越える温度領域では、模擬チップやダイボンディング剤と封止樹脂界面近傍の封止樹脂がフィラーの無いエポキシ単体に近い粘弾性挙動を示していることに加え、模擬チップやダイボンディング剤と封止樹脂の間にはく離に近い局所的な滑りが発生しているのでは無いかと推定する。樹脂封止後のパッケージの反りと応力値の両方を同時に精度よく解析するには、樹脂の封止温度の  $175^{\circ}\text{C}$  からガラス転移点の  $130^{\circ}\text{C}$  近傍までは、反りは発生するが応力値は模擬チップ界面の局所的なすべりと粘性挙動を考慮しなければならないと考えられる。そのため、樹脂と各部材の間のすべりを含む粘性挙動を測定する新たなシステムの開発と、その現象を再現させるモデル化手法の確立が今後の課題である。

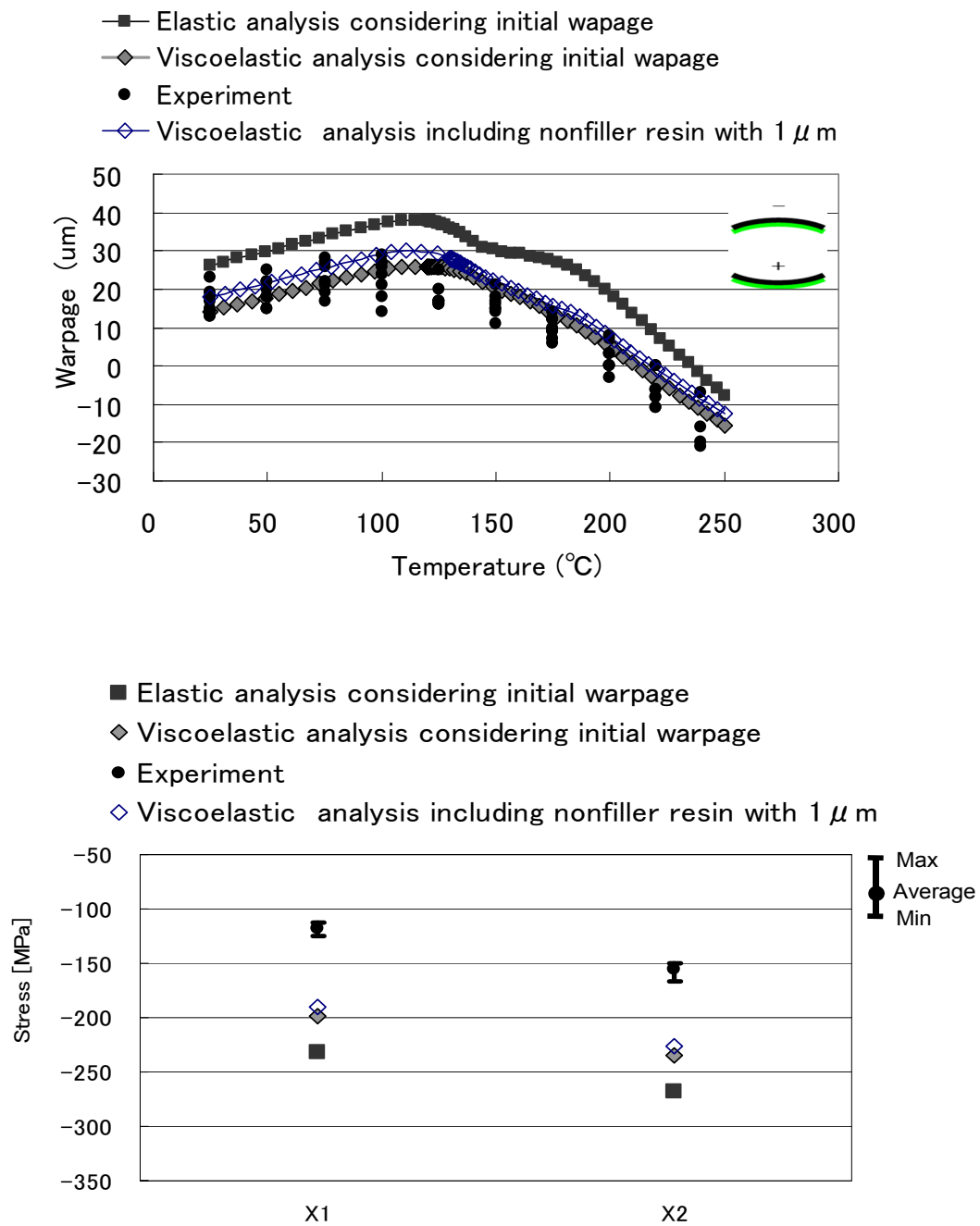


Fig. 5.15 Comparison of the warpage and stress between experimental measurements and numerical results

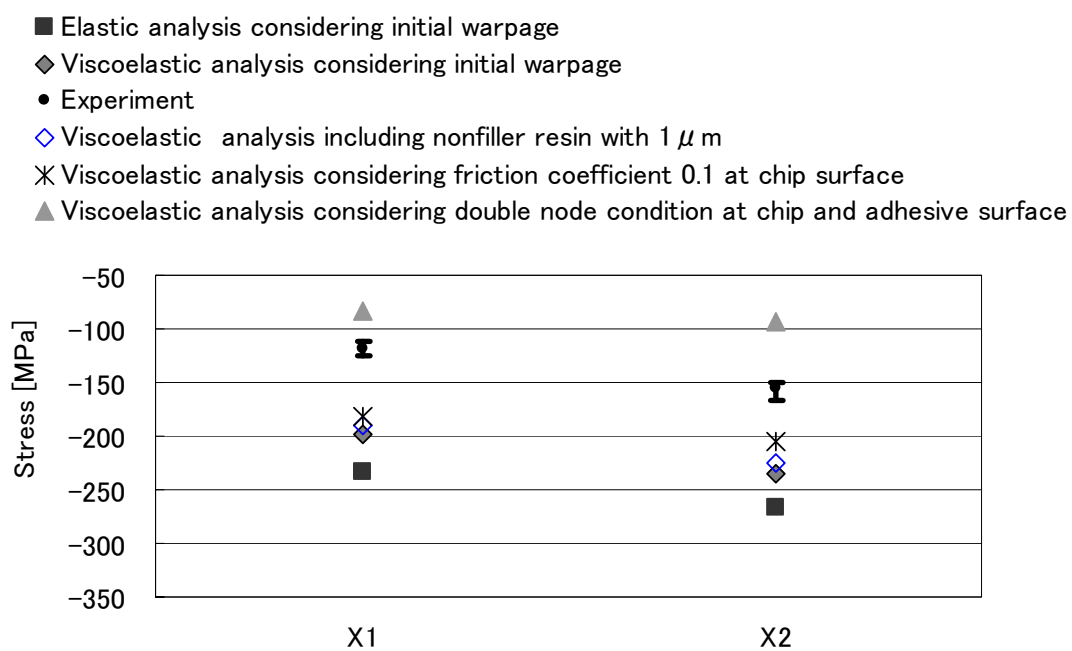


Fig. 5.16 Comparison of stress between experimental measurements and numerical results.

## 5.6 結言

本研究では、パッケージの反りとチップ表面の残留応力の両方を同時に精度よく解析できるモデリング手法を検討した。まず、顕微鏡観察と DICM を利用したひずみ測定により、模擬チップと封止樹脂の界面近傍の封止樹脂に大きなひずみが生じていることがわかった。また、模擬チップにより測定された残留応力を FEM により再現するためには、チップと封止樹脂の間に滑りが生じていると仮定する必要があった。これらの結果から以下の知見を得ることができた。

- (1) 樹脂封止後のパッケージ構造では、模擬チップと基板の初期反りとダイボンディング剤の粘弾性特性を考慮することで、反りは精度良く求めることができたが、模擬チップ上の残留応力が、実験値に較べて大きくなった。
- (2) DICM を用いたチップ角部周辺のひずみ計測結果より、チップ側面と封止樹脂の界面付近では、ひずみが大きくなることが観察された。このことより、チップと封止樹脂の界面付近では、封止樹脂のフィラーの密度が低くなるために、フィラーの無いエポキシ樹脂単体の物性に近づくと仮定して FEM 解析を行ったところ、DICM により計測したひずみと FEM 解析の結果は良く一致した。
- (3) しかし、フィラー密度の低い界面層を仮定した解析を行なっても、チップ上面の残留応力の模擬チップによる計測結果は、FEM 解析の結果より小さくなった。模擬チップ上の応力の測定値が解析値よりも小さくなる原因は、模擬チップと封止樹脂界面での局所的な滑りが発生しているためではないかと推定された。

## 第 5 章の参考文献

- [1] 小金丸 正明, 池田 徹, 宮崎 則幸, “ピエゾ抵抗テストチップと有限要素法を用いた樹脂封止に起因する半導体チップ表面の残留応力評価”, エレクトロニクス実装学会誌, Vol.9, pp.186-194, 2006.
- [2] 穴戸 信之, 池田 徹, 宮崎 則幸, 中村 健太郎, 宮崎 政志, 猿渡 達郎, “デジタル画像相関法を用いた電子実装部の熱ひずみ分布計測”, 「材料」, Journal of the society of Materials Science, Japan, Vol.57, pp.83-89, 2008.
- [3] M.A.Sutton, W.J.Wolaters, W.H.Peters, W.F.Ranson, S.R.McNeill, "Determination of Displacement using an Improved Digital Image Correlation Method2, Computer Vision, pp.133-139, 1983.
- [4] G.Vendroux, W.G. Knauss, "Submicron deformation field measurements : Part 2.Improved digital image correlation", Experimental, Mechanics, Vol.38, No.2 pp.86-92, 1998.
- [5] S.Sadek, M.G.Iskander, J.Liu, "Accuracy of digital image correlation for measuring deformations in transparent media", Journal of Computing in Civil Engineering, Vol.17, pp.88-96, 2003.
- [6] C.J.Tay, C.Quan, Y.H.Huang, Y.fu, "Digital image correlation for whole field out-of plane displacement measurement using a single camera", Optics Communications, Vol.251, pp.23-36, 2005.
- [7] W.H.Press, B.P.Flannery, S.A.Teukolsky, W.T.Vetterling, "Numerical Recipes:the Art of Scientific Computing", Cambridge University Press, pp.484-485, 1986.
- [8] W.Tong, "An Evaluation of Digital Image Correlation Criteria for Strain Mapping Applications", Strain, Vol.41, pp.167-175, 2005.



## 第 6 章

# 樹脂封止された積層半導体チップの残留応力に起因する電気特性変動評価手法

## 6.1 緒言

第 5 章では、樹脂封止したパッケージのチップ上の残留応力と反りのシミュレーション精度の妥当性を検証した。本章では、シミュレーションで求めたチップ上の残留応力から、半導体デバイスの電気特性変動を予測するシミュレーション技術の検討を行った。

近年の半導体パッケージは、チップ薄型化・積層構造等の三次元高密度化により、パッケージ内に大きな残留応力が発生し、Low - k 層の破壊やチップクラックなどの機械的破壊が問題となっている。これらの機械的不良の問題に加え、チップ上の残留応力が半導体デバイスの電気特性を変動させる問題が顕在化しており、半導体実装メーカは、パッケージ構造・材料を最適化し、この問題を解決する必要に迫られている。そのため、三次元高密度パッケージ中の残留応力とデバイス特性変動の予測技術の確立が求められている。機械的応力による半導体デバイスの電気特性変動は、ピエゾ効果として古くから知られている[1]。これまで、4 点曲げ試験や数値シミュレーション技術を用いて、主に応力効果の半導体物性に着目した研究が数多くなされている[2-3]。また、応力効果を積極的に活用する“歪み”シリコンデバイスの研究も行われている[4]。実際の半導体パッケージ・後工程を対象としたデバイス特性変動評価に関しては、いずれも QFP

などの 1Chip 構造の単純なパッケージでのみ報告されている[5-7]. これらの報告では、チップ面内の二次元的な応力場が支配的となるため、チップ面内の二次元応力でデバイスの電気特性変動が評価されている. 一方、三次元積層チップでは、デバイスに複雑な三次元応力場が生じていることが容易に想像できる. 特に、積層チップの大きさが異なる場合、上段チップ角部で発生する応力集中（応力特異場）が、下段チップ上のデバイスの電気特性を大きく変動させることも考えられる. したがって、三次元積層チップパッケージにおけるデバイス電気特性変動評価では、パッケージ内部の三次元応力場を精度良く見積もるとともに、応力特異場を含む三次元応力場でのデバイス特性変動評価が必要となる. そこで本研究では、三次元積層構造の半導体チップが樹脂封止されたパッケージを対象とし、応力特異場解析とピエゾ効果モデルを用いたデバイス特性変動評価手法を提案する. まず、三次元積層チップを模擬した試験片を用いて 4 点曲げ試験を行い、チップ上の MOS デバイスの電気特性変動を計測した. その際、上段チップと下段チップの相対位置を変化させ、上段チップ角部（応力集中部）と電気特性を計測する下段チップ上の MOS デバイスの距離を変化させた. 有限要素法応力解析結果を用いた応力特異場解析により MOS デバイス近傍の応力場を評価し、ピエゾ効果モデル[1]を用いて MOS デバイスの電気特性変動を予測した. この予測結果を実験結果と比較・検証し、応力特異場解析を含む評価手法を新たに提案する. 最後に、この評価手法を実際に電気特性変動が起こった三次元積層チップが樹脂封止されたパッケージに適用し、提案手法の妥当性・有用性を検証する.

## 6.2 積層構造パッケージにおける電気特性変動例

実際の積層構造パッケージにおける電気特性変動の例として、動作不良が発生したパッケージの断面構造を図 6.1(a)に示す. 下段チップは一部のエリアにアナログ回路が形成されているロジックチップ、上段チップはメモリーチップで、ワイヤーボンディングでそれぞれ基板へ接続されている. 基板とロジックチップは液状の接着剤（ダイボンディング剤）を 150℃で硬化することで基板に実装されている. メモリーチップはフィルム状の接着剤を用いてロジックチップ上に実装され 160℃で硬化した後、樹脂封止される. 図 6.1(b), (c)に、ロジックチップ上のアナログ回路エリアの位置と上チップとの相対位置を示す. 設計初期のアナログ回路端から 100 $\mu\text{m}$  回路内の Case④の位置にメモリ



一チップを実装した構造で電気特性起因の不良が発生した。具体的には、下段のロジックチップに形成されたアナログ回路内の特定の回路ブロック(PLL 回路)で過度電流による異常発振の不良が発生した。原因特定のために、特性変動を起こしたサンプルを化学薬品にて樹脂開封し再度測定を試みると、回路は正常に動作し電気特性起因の不良は発生しなかった。よって、今回発生した電気特性不良は樹脂封止後のロジックチップに発生する残留応力が原因で発生したものであると推定した。

次に、不良の回避策を探るために、アナログ回路から上チップの搭載位置を変更して実装し、特性不良の発生率が、どのように変化するかを実験した。図 6.1(b)に上チップ実装位置とアナログ回路との相対位置を示した。この図に示した Case①～Case⑥の搭載位置で実験を行った。Case⑤、⑥は、アナログ回路を上チップが覆ってない構造になる。表 6.1 に実験結果から得られた電気特性変動の不良数と測定したサンプル数を示す。実験結果から Case④の不良発生数が最も多かった。アナログ回路外の位置に実装した Case⑤、⑥は、動作不良が発生せず、上チップ搭載の影響が実験結果から顕著にわかった。また、表 6.1 に示すようにアナログ回路上にメモリーチップを実装した Case④を含む①～③の実験水準においては、すべて不良が発生しており、実験結果から、上チップがアナログ回路上に実装されることにより、アナログ回路の特性変動が誘発されることがわかった。また、製品の大量生産時における不良率は ppm 単位で管理されており、表 6.1 に示す不良率でも大量生産ができないため、原因究明が大きな開発課題となった。

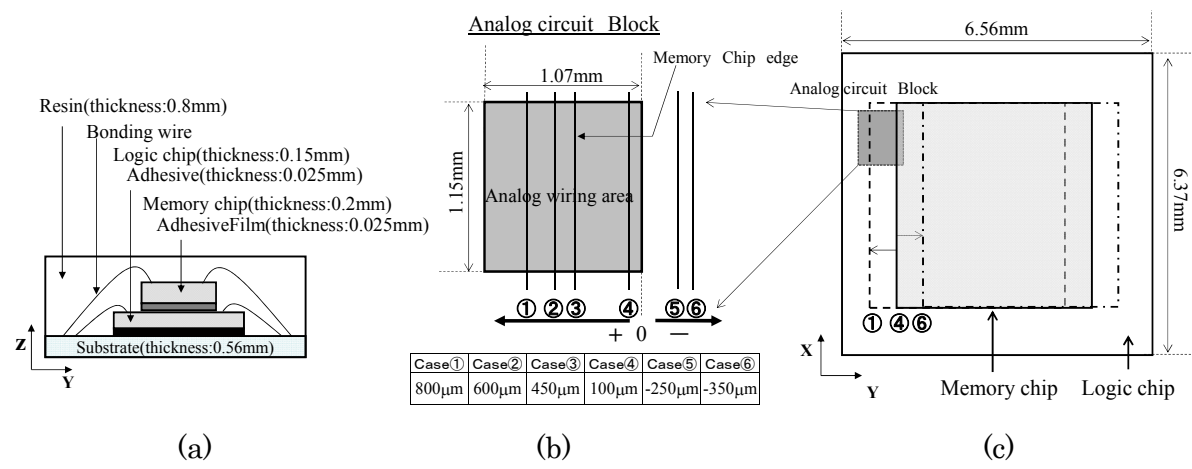


Fig. 6.1 Schematic of a real chip. (a) Cross section of a package, (b) Edge position of memory chip on an analog circuit block, (c) Schematic of stacked chips.

Table 6.1 Number of failed samples for each position on a memory chip.

	Case①	Case②	Case③	Case④	Case⑤	Case⑥
Number of failed samples	1	1	2	3	0	0
Number of measurement samples	134	45	46	45	48	129

## 6.3 評価方法の概要

実際の積層構造パッケージにおいて発生した問題を解決するためには、三次元高密度パッケージ中の残留応力とデバイス特性変動の予測技術の確立が必要になる。デバイス特性の応力効果による変動の評価方法として、最も簡単なものはピエゾ効果を利用した方法である。半導体素子として使用されるシリコン結晶に外力が加えられると、形状的なひずみが発生するとともに、電気伝導にもひずみが生じる。このため、結晶内部におけるキャリア密度やキャリア移動度が変化し、結晶の電気抵抗も変化する。この現象をピエゾ効果という。本研究では、このピエゾ効果を用いて、外力と電気抵抗変化の関係を実験とシミュレーションで比較することにより評価手法の検討を行った。実際に不良が発生したデバイスの回路に組み込まれている **p-type MOSFET**（以下、**pMOS** と呼ぶ）、**n-type MOSFET**（以下、**nMOS** と呼ぶ）の電気特性を、トランジスタごとに個別に測定することはできない。そこで、まずは実際のデバイスと同じ **90nWafer** プロセスで形成された **pMOS** のテストチップを用いて実験を行った。具体的には以下に示す方針で解析を行った。

- (1) 初めに、実際の三次元積層構造を模擬するため、テスト用 **MOS** デバイスが形成されたシリコンチップの上にダミーシリコンチップを実装した試験片を用いて、チップのみで4点曲げ試験を行う。パッケージ後の残留応力を模擬した曲げ荷重と、**MOS** デバイスの電流変化率を測定し、実際のデバイスで発生した不良の簡易的な再現実験を行う。これにより、ピエゾ効果を用いた評価手法の有効性も確認する。
- (2) 次に(1)の実験結果を元にシミュレーションを用いた特性変動評価手法を構築する。
- (3) 最後に、実際に特性変動が起こった積層構造パッケージに開発した評価手法を適用し、評価手法の有効性を確認する。

## 6.4 模擬積層チップと 4 点曲げ負荷試験による評価手法の検討

### 6.4.1 模擬積層チップ

本研究では、6.3 節で述べた 4 点曲げ試験を行うために半導体デバイスに応力を負荷した状態で、その電気特性を測定するシステムを構築した。測定システムは、コンピュータ制御式の負荷試験機と 4 点曲げ治具、半導体デバイスの電極パッドに直接電気的な接続をするためのプローブとプローブに接続された可変電源・電流計、および電極パッド接続の際に試験片観測に用いる光学顕微鏡より構成される。また、遮光を目的として、4 点曲げ試験機械部分は、測定中は遮光用機材で覆われている。図 6.2 にその装置概要を示す。図 6.2(a)にシステムの全体概要、図 6.2(b)および(c)に 4 点曲げ負荷ジグ部分の概略図および写真をそれぞれ示す。負荷荷重は、内側支点に取り付けられたロードセルにより検出される。図 6.2 (b) のように、負荷ジグへの試験片の取り付け方を変えることで、pMOS が形成された試験片表面に所定の引っ張りまたは圧縮の応力を負荷することができる。本実験システムの構成は文献[8]を参考とした。

実験には図 6.3(a)に示す pMOS トランジスタが形成された短冊状に切り出した Si ウエハに、ダミーチップを実装した試験片を用いた。その際、上段のダミーチップと下段チップの相対位置が異なるサンプルを作成することで、上段チップ角部（応力集中部）と電気特性を計測する下段チップ上の pMOS トランジスタの位置関係と電気特性変動との関係性を評価する。曲げ荷重と pMOS の電流変動率を測定し、応力と電流変化率、および上チップと下段チップとの相対位置と電流変化率の関係を定量的に求める。この相対位置の関係を図 6.3(b)に示す。試験片の pMOS トランジスタの上に、ダミーのチップをダイボンディングフィルム（厚さ 0.025mm）を用いて 160℃、1 時間のキュア条件にて硬化させ実装した。ダイボンディングフィルムは、実際の積層構造パッケージと同じ物を用い、Wafer 状態のシリコンに張り付け、ダイシングによりダミーチップと一緒に個片化した。そのため、実装後も、ダミーチップとダイボンディングフィルムは同じ形を維持する。ダミーチップの実装には、搭載精度 $\pm 5\mu\text{m}$ の高精度チップマウンターを用いて、トランジスタゲート長  $W$  の中心にダミーチップの角部が位置することを目標にしてダミーチップの搭載を行った。搭載位置を X 線装置で厚さ方向から計測し

たところ、ダミーチップの搭載位置が、ゲート長  $W$  の中心を原点として、 $-0.6\mu\text{m}$ ,  $-3.2\mu\text{m}$ ,  $+3.3\mu\text{m}$  になる3サンプルを作成することができた。実験には形状が  $L=5.0\mu\text{m}$   $W=2\mu\text{m}$ , 動作電圧  $V_d=3.3\text{V}$  のトランジスタを用いた。評価に用いたトランジスタのゲート長が  $2\mu\text{m}$  のため、搭載位置が  $-0.6\mu\text{m}$  のサンプルは、図 6.3(b)に示すようにゲートの一部に上チップが重なるサンプル構造になる。他のサンプルも搭載位置が  $-3.2\mu\text{m}$  のものは、チップ角部の外側にトランジスタが配置され、搭載位置  $+3.3\mu\text{m}$  は、上チップがトランジスタを完全に覆う配置となる。この3個のサンプルを用いて図 6.3(c)に示す支点間距離にて4点曲げ実験を実施した。測定は、4点曲げ治具により試験片が凹（試験片の上面が圧縮応力）に変形する荷重を加えた後、pMOS の電極パッドにプローブを接触させ、ゲートおよびソース・ドレイン間に所定の電圧を印可してソース・ドレイン間の電流を計測した。凹形状になるように負荷応力を印加した実験を行ったのは、実際の積層構造パッケージの室温での反り方向と同じ向きにしたためである。測定方法は、トランジスタへの印加電圧として、ソース・ドレイン間の電圧を  $3.3\text{V}$  に固定し、ゲート電圧を  $0\text{V}$  から  $-3.3\text{V}$  まで掃引しドレイン電流の変化を測定した。荷重を与えない電流値を初期値として、荷重を増加させながら、一定間隔でドレイン電流値を測定し荷重による電流変化率%を測定した。比較のためダミーチップを実装しない試験片についても測定を行った。

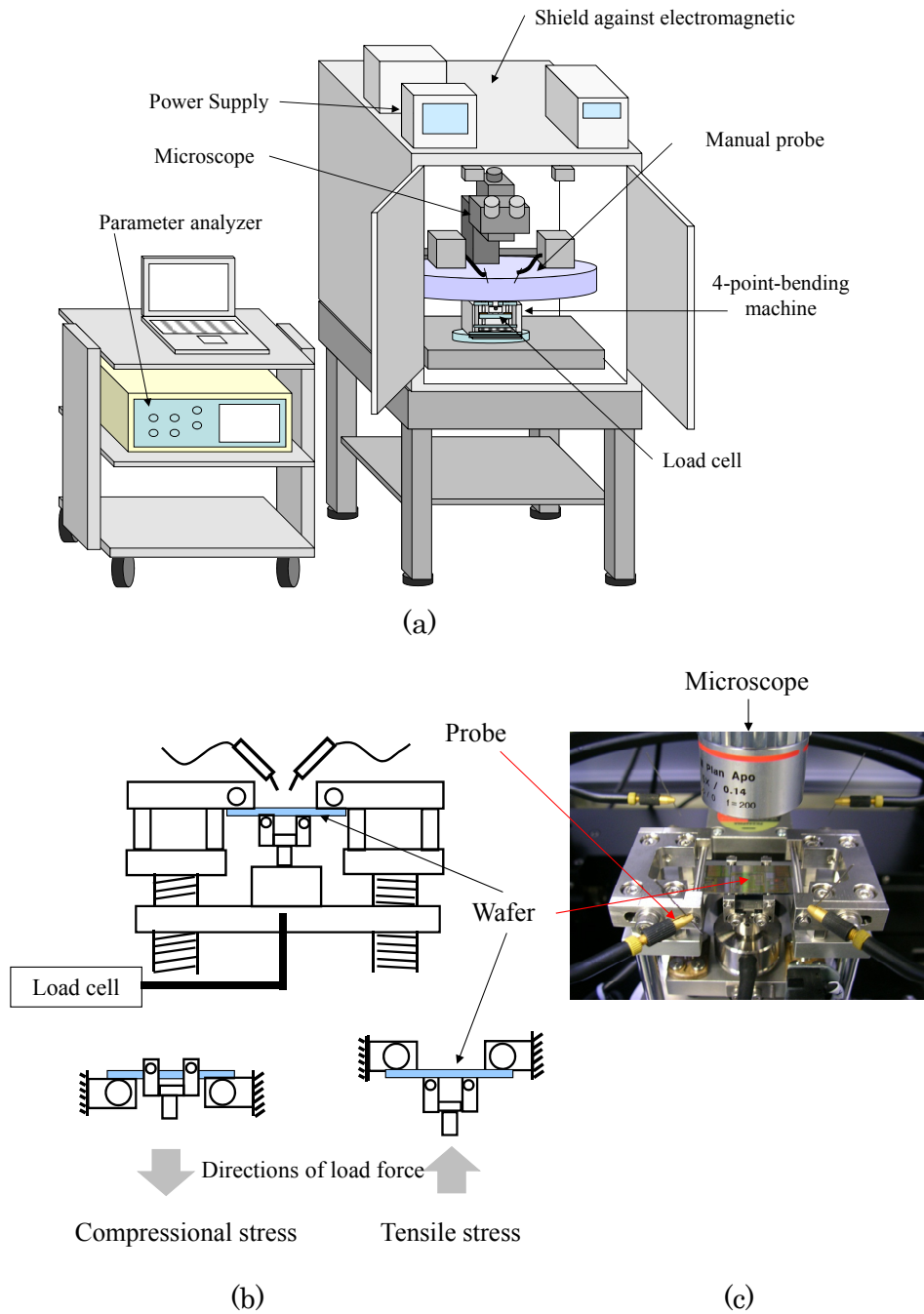


Fig. 6.2 System for measuring the stress dependence of electronic characteristics of pMOS. (a) Schematic diagram of measuring system, (b) Schematic diagram of 4-point-bending machine, (c) Picture of 4-point-bending machine.

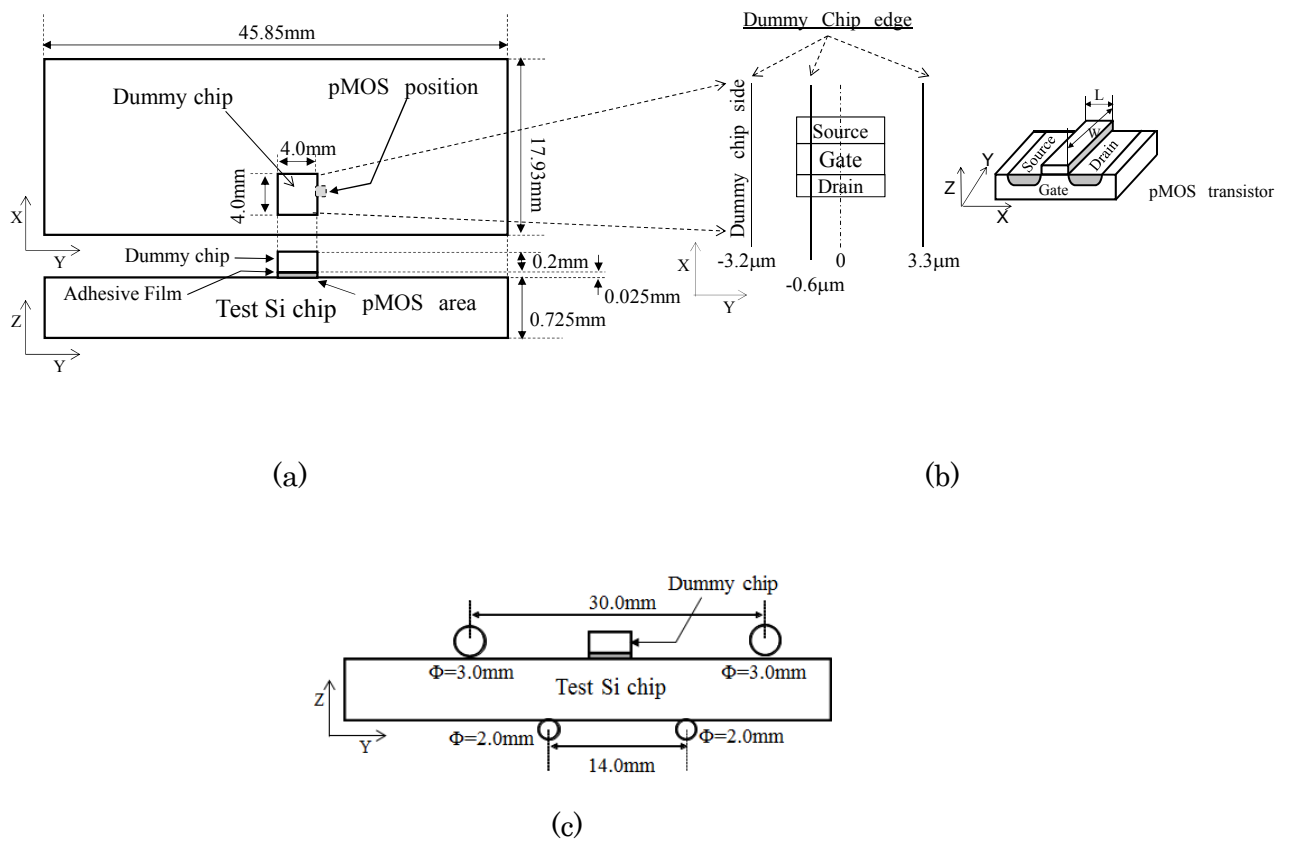


Fig. 6.3 Schematic of a test sample and loading condition. (a)Schematic of a test chip, (b) Position of a dummy chip on a pMOS transistor. (c)4-Point bending test.

### 6.4.2 4 点曲げ試験による電気特性変動計測

荷重によるドレイン電流変化率の測定結果を、各ダミーチップの搭載位置について、図 6.4 に示す。横軸は荷重、縦軸は、荷重が 0N の場合のドレイン電流値からの変化率(%)を示す。図 6.4 には、比較のためにダミーチップが搭載されていない場合の結果(図中で△印)も示してある。なお、搭載位置が $-3.2\mu\text{m}$  のサンプルは、7N までドレイン電流値に変化が無かったが、測定中に破損させてしまい 8N 以降は測定できなかった。図 6.4 より荷重 5N でドレイン電流が大きく変動したダミーチップの搭載位置 $-0.6\mu\text{m}$  のサンプルと、搭載位置が $-3.2\mu\text{m}$  と  $3.3\mu\text{m}$  のサンプルとでは明らかに差異があることがわかる。すなわち、本実験結果から、トランジスタから  $3\mu\text{m}$  ほど離れた  $3.3\mu\text{m}$  と  $-3.2\mu\text{m}$  のサンプルでは、ダミーチップの影響がほとんど無く、ダミーチップを搭載しないシングルチップの試験片と、ほぼ同じ電流変化を示すことがわかった。次に、この 5N で発生した大きな電流変化率の原因について検討するため、有限要素法による応力解析によりトランジスタ近傍の応力値も算出した。

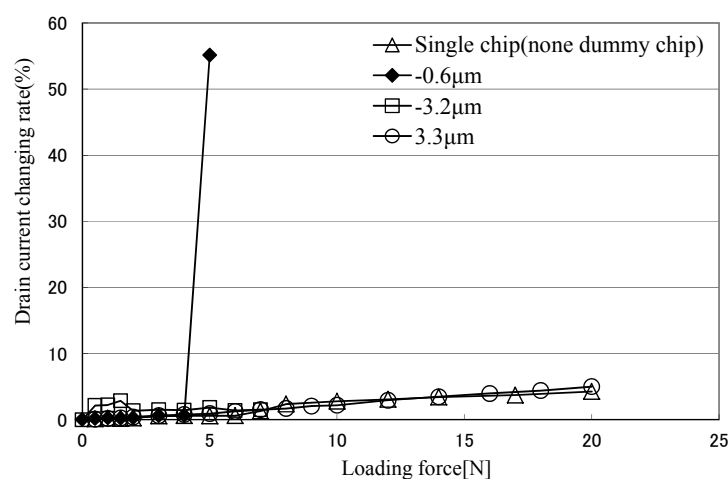


Fig. 6.4 Drain current changing rate with loading force.



### 6.4.3 応力解析とpiezoモデルによる評価

応力解析には、MSC Software 社の汎用有限要素法解析ソフトウェア MARC2008 を使用した。図 6.5 に解析に用いた有限要素法モデル (FEM model) を示す。有限要素法モデルは、8 節点 Solid 要素を用いて作成し、実験と同じ 4 点曲げ条件を設定した。ダミーチップ角部の応力場を詳細に評価するためには、メッシュサイズを細かくする必要がある。そこで MARC2008 のズーム機能を用いて詳細メッシュのモデリングを行い、最小メッシュサイズは  $0.5\mu\text{m}$  まで小さくした。図 6.5(a)に全体モデル、図 6.5(b)にズームモデルの pMOS エリアを示す。Si の剛性定数は第 4 章の表 4.1 と同じ値を用いた。接着に用いたダイボンディングフィルムのヤング率は、室温( $25^{\circ}\text{C}$ )で、ヤング率  $3.0\text{GPa}$ 、ポアソン比  $0.3$  で、材料メーカーのカタログ値を引用した。ダイボンディングフィルムは  $160^{\circ}\text{C}$  で硬化されるため、室温時には熱収縮によりチップ表面に既に応力が発生している。しかし、その室温状態で測定した電流値を初期値として荷重負荷後の電流変化率を測定するため、今回のモデルでは、室温を応力フリーとして計算を行った。

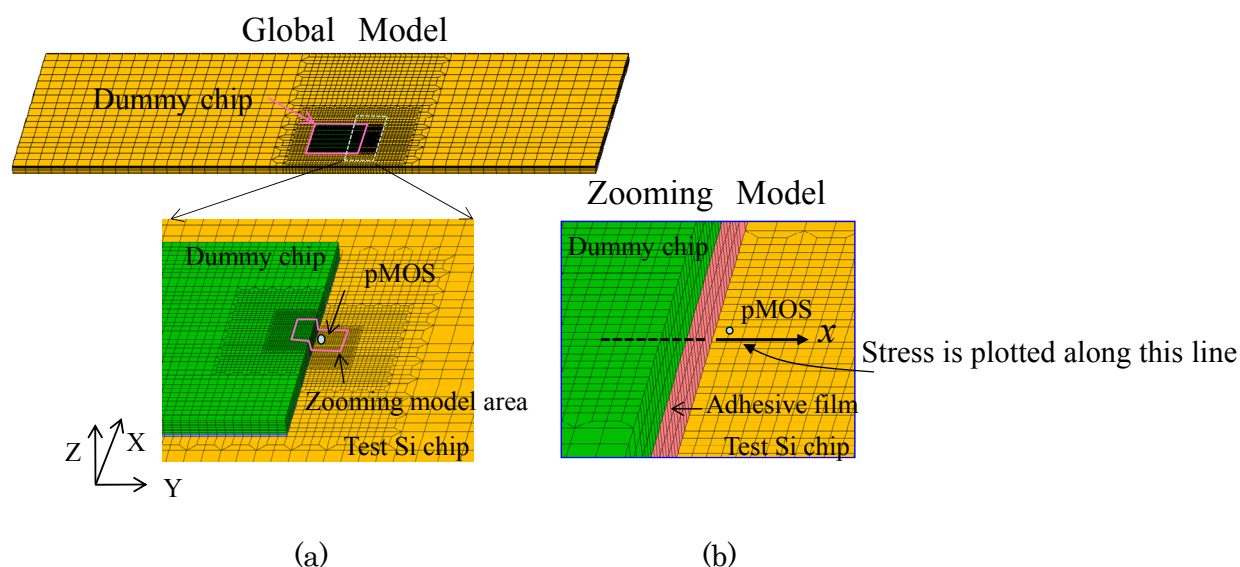


Fig. 6.5 3D FEM model for a test sample. (a) Global FEM model of a test sample, (b) Zoomed FEM model of a test sample.

#### 6.4.4 ピエゾ効果マトリックスを用いた電流変化率の予測

図 6.6 に荷重 5N の場合について解析した応力値を示す. この図では図 6.5(b)に示すテストチップの測定したトランジスタの位置にあるノード(節点)を通る節点間の位置を横軸に, 垂直応力とせん断応力成分を縦軸にプロットした. 図 6.6 の横軸は, ダミーチップ角部を中心(原点 0)に, ダミーチップ下部をマイナス方向, ダミーチップ外部をプラス方向と定義した座標  $x$  をとり,  $\pm 10\mu\text{m}$  で表示している. これより, ダミーチップ角部に近づくほど応力の絶対値が高くなっているのがわかる. この応力値を用いて電流変化率を予測した. そのために, ピエゾ効果マトリックスを用いた. 次式にピエゾ抵抗効果における応力(テンソル量)と結晶の誘電率の変化量(ベクトル量)の関係を 3 次元の  $X$ ,  $Y$ ,  $Z$  直交座標系を用いて表したピエゾ効果マトリックスを示す.

$$\begin{bmatrix} \delta G_{xx}/G \\ \delta G_{yy}/G \\ \delta G_{zz}/G \\ \delta G_{yz}/G \\ \delta G_{zx}/G \\ \delta G_{yx}/G \end{bmatrix} = \begin{bmatrix} \frac{1}{2}(\Pi_{11} + \Pi_{12}) + \frac{1}{4}\Pi_{44} & \frac{1}{2}(\Pi_{11} + \Pi_{12}) - \frac{1}{4}\Pi_{44} & \Pi_{12} & 0 & 0 & 0 \\ \frac{1}{2}(\Pi_{11} + \Pi_{12}) - \frac{1}{4}\Pi_{44} & \frac{1}{2}(\Pi_{11} + \Pi_{12}) + \frac{1}{4}\Pi_{44} & \Pi_{12} & 0 & 0 & 0 \\ \Pi_{12} & \Pi_{12} & \Pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \Pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \Pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & 2(\Pi_{11} - \Pi_{12}) \end{bmatrix} \begin{bmatrix} \sigma_{xx} \\ \sigma_{yy} \\ \sigma_{zz} \\ \tau_{yz} \\ \tau_{zx} \\ \tau_{yx} \end{bmatrix} \quad (6.1)$$

ここで、 $\delta G_{ij}/G$  ( $i, j = x, y, z$ ) は、 $i$  方向に電流を流した際に  $j$  方向で検出される誘電率の変化成分、 $\sigma_{ii}$  ( $i = x, y, z$ ) は、各座標方向の垂直応力成分、 $\tau_{ij}$  ( $i, j = x, y, z$ ) は各座標面内のせん断応力成分である。式(6.1)中の  $6 \times 6$  のピエゾ抵抗係数行列中のピエゾ抵抗係数値  $\Pi_{11}$ 、 $\Pi_{12}$ 、 $\Pi_{44}$  は、結晶の種類、半導体に添加される不純物の種類及びその濃度、温度などの関数であるため、本来は実験により求める。本研究では、文献値[3]の値を引用して pMOS を評価した。nMOS も参考値として表 6.2 に示す[3]。テストチップの pMOS トランジスタは、Si 単結晶座標系で(001)面に形成されており、その長手方向は および 方向である。本論文では応力測定結果や有限要素法モデルを表す際に便宜上、 $\langle 110 \rangle$  を  $X$  軸に、 $\langle \bar{1}10 \rangle$  を  $Y$  軸にとった座標系を用いる。式(6.1)のマトリックスは電流方向が  $X$  軸になるように座標系を回転(テンソル変換)したマトリックスになっている。よって、4点曲げ応力による電流変化率の評価には、 $\delta G_{xx}/G$  の値を用いた。ダミーチップ角部周りの応力は、どの方向から近づいても無限大となるが、便宜的にダミーチップ下側に沿った応力を用いて評価した。 $\delta G_{xx}/G$  の計算には、せん断応力が 0 になっているため、 $\sigma_{xx}$ 、 $\sigma_{yy}$ 、 $\sigma_{zz}$  の応力値を使用した。また、実際の動作チップも、同じ結晶座標系の Wafer を用いている。

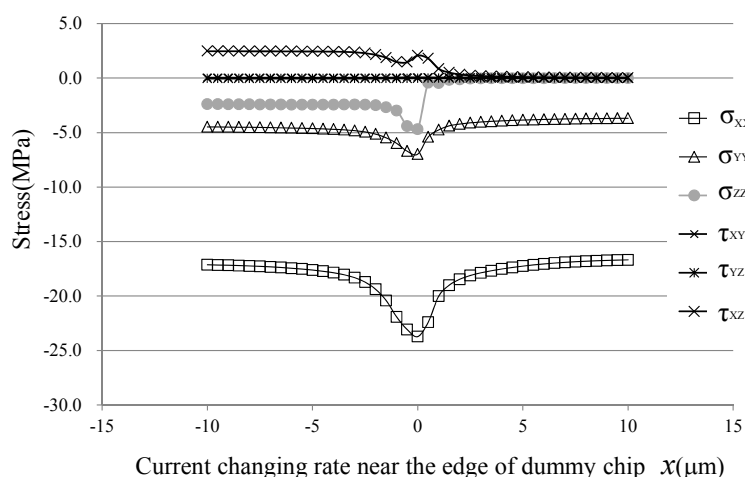


Fig. 6.6 Stress distributions around the edge of a dummy chip.

Table 6.2 Piezo constants.

	pMOS	nMOS	unit: $10^{-11} \text{ m}^2/\text{N}$
$\Pi_{11}$	-6.6	102.2	
$\Pi_{12}$	1.1	-53.4	
$\Pi_{44}$	-138.1	13.6	

図 6.7 に計算で求めたテストチップの電流変化率を示す．横軸は，チップ角部を原点とした位置を示しており，チップの下部は負の方向になる．荷重 8N のシングルテストチップの結果と，ダミーチップを搭載したサンプルの荷重 5N の結果を示す．シングルチップに発生する電流変化率は，面内方向で応力値がほぼ均一のため，電流変化率もほぼ 0.66% だった．図 6.4 に示す 8N でのシングルチップの実験結果は，電流変化率 0.61% であり，ほぼ計算値と等しいことが分かった．文献から引用した pMOS のピエゾ抵抗マトリックスで評価した場合，本研究に用いたテストチップとほぼ等しい結果になることがわかった．しかし実験で大きく電流変動をした積層サンプルの電流変化率は，ダミーチップ角部の最大の応力値で評価しても 0.64% で実験値と大きな離があった．よって，この手法では，電気特性変動を予測できないことがわかった．そこで，さらにチップ角部の応力評価の検討を試みた．

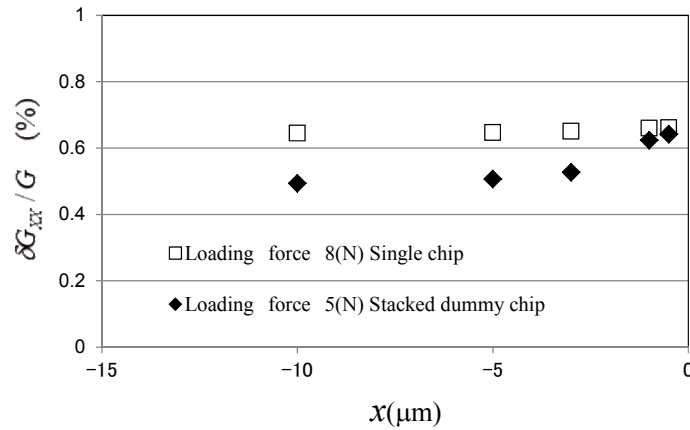


Fig. 6.7 Current changing rate near the edge of dummy chip.

### 6.4.5 特異応力場解析を用いた評価

図 6.6 の応力分布からダミーチップ角部で急激に応力の絶対値が増加していることがわかる。弾性論的にはダミーチップ角部の応力は厳密には無限大となる応力特異場となっており、有限要素による解析では、要素によっては応力特異場を十分にとらえられないことがある。電子実装部の応力特異場を評価する試みとして、服部らがプラスチックパッケージの樹脂角部の応力を指数型の特異応力場として評価した例がある[9]。さらに図 6.8 のような接合された材料の角部近傍の応力場は、次式で示される[10-11]。

$$\sigma_{ij}^k = \sum_{m=1}^N C_m r^{\lambda_m-1} f_{ij}^{mk}(\theta) + \sigma_{ij0}^k(\theta) \quad (6.2)$$

ここで、 $\sigma_{ij}$ は応力、 $C_m$ はスカラーパラメーター、 $r$ は角部からの距離、 $\lambda_m-1$ は特異性の指数で( $0.5 \leq \lambda_m \leq 1$ )の範囲をとる。 $f_{ij}^m(\theta)$ は $\theta$ の関数、 $\sigma_{ij0}(\theta)$ は熱応力問題の場合に現れる定数項である。また、添字  $k$  は図 6.8 の  $k$  番目の材料内の値であることを示す。 $\lambda_m$  は材料定数と接合角度によって、1~3 個程度出現することが知られているが、 $\lambda_1-1$  の特異性が他のものよりも顕著である場合、実用的には他のものを無視できる。また、ある角度 $\theta$ にのみ着目すれば $f_{ij}^m(\theta)$ 、 $\sigma_{ij0}(\theta)$ は一定値であるので次式のように簡略化することができる。

$$\sigma_{ij} = Hr^{\lambda-1} + \sigma_{ij0} \quad (6.3)$$

ここで、 $H = C f_{ij}^{1k}(\theta)$  である．式(2)の  $\sigma_{ij0}$  を左辺に移動し、両辺の対数をとることで次式が得られる．

$$\log(\sigma_{ij} - \sigma_{ij0}) = (\lambda - 1) \log r + \log H \quad (6.4)$$

角部近傍で  $\sigma_{ij0}$  が  $\sigma_{ij}$  に比べて十分に小さければ、 $r$  と  $\sigma_{ij}$  を両対数プロットすることで、 $\lambda - 1$  と  $H$  を求めることができる．そのためにさらにズーム機能を用いて最小メッシュサイズ 50nm として応力解析を行い、図 6.9 に示すダイボンディンフィルムとテストチップの界面上の  $\sigma_{xx}$ ,  $\sigma_{yy}$ ,  $\sigma_{zz}$  の値を図 6.10 に示すように両対数プロットし、 $\lambda - 1$  と  $H$  を求めた．求めた  $\lambda - 1$  と  $H$  を図 6.10 中に示す．ここで、 $H$  の単位は (MPa $m^{1-\lambda}$ ) である．

この結果から、式(6.3)を用いてダミーチップ角部からマイナス方向に、1nm から 10 $\mu$ m までの応力を 10 点算出し、その応力より電流変化率をピエゾ効果マトリックスを用いて算出した．結果を図 6.11 に示す．

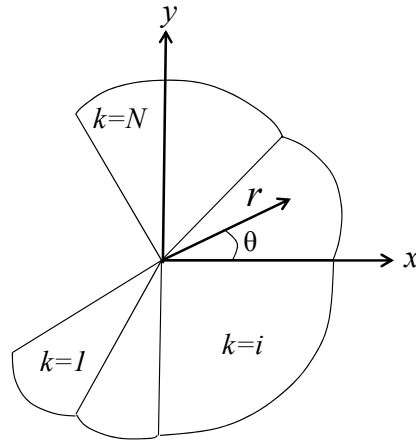


Fig. 6.8 Coordinates around a jointed corner

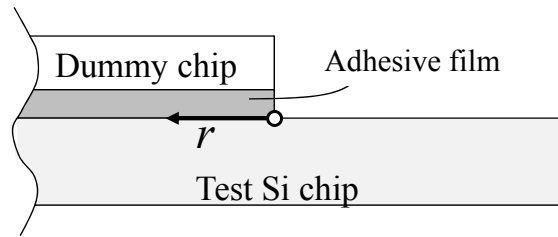


Fig. 6.9 Interface between an adhesive film layer and a test Si chip.

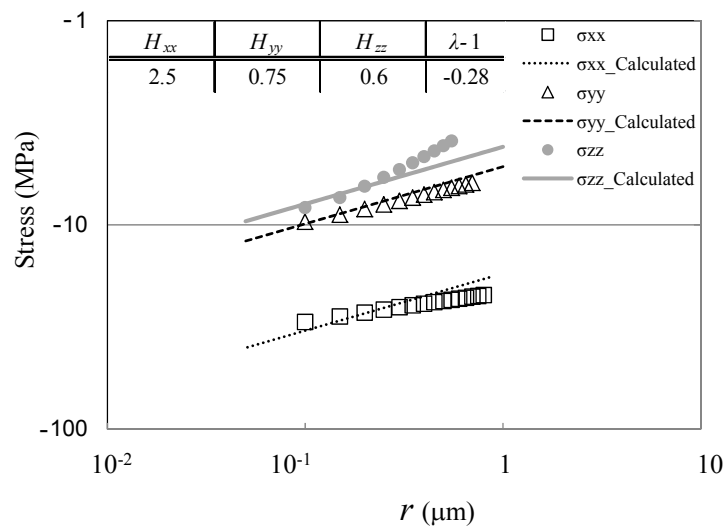


Fig. 6.10 Stress singular field around a corner.

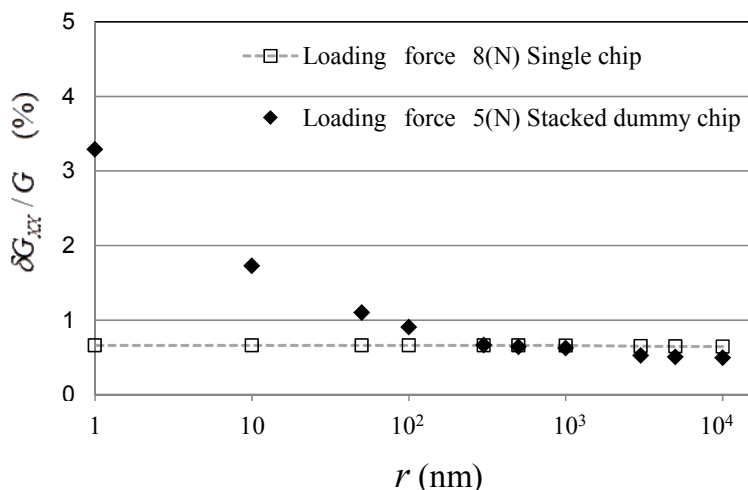


Fig. 6.11 Current changing rate calculated from the piezo resistance matrix with the distance from the edge of a dummy chip.

応力特異場を考慮すれば、50nm 以下で電流変化率が 8N の結果を超えるため、ダミーチップ搭載サンプルの 5N で大きな電流変動が発生した試験結果と同じ傾向を示すことがわかった。しかし、1nm の距離の値を用いても電流変化率は約 3.3%程度であり、まだ実験値と大きな離れがある。そこで原因調査のために測定したサンプルを再度未負荷の状態に戻して荷重なしで測定を行った。その結果、荷重なしの電流値が実験開始時の初期値にならず、トランジスタが 4 点曲げの実験途中で電氣的に損傷していることが分かった。おそらく、曲げ実験にて発生したダミーチップ角部の応力が、測定トランジスタにダメージを与え、完全にオープンまでには至らない不安定な状態での電流測定になったと推定した。他のシングルチップやダミーチップ搭載位置が 3.3μm のサンプルは、電流値は正常値を示し、荷重の再実験を行っても同じ電流変化率を示した。よって、今回発生した特に大きな電流変化率の値は、測定途中でトランジスタが破損したと推定できる。

今回の実験からは、応力特異場が存在するダミーチップ積層構造のサンプルは、シン



グルチップ構造に比べて、電流変化を受けやすいことわかった。上チップ角部からの距離は、応力特異場を考慮した約 50nm 以内にトランジスタがある場合に影響を大きく受ける可能性があることもわかった。このことは、ダミーチップ搭載位置が  $3.3\mu\text{m}$  と  $-3.2\mu\text{m}$  のサンプルでは、ダミーチップの影響がほとんど無かった実験結果からも裏付けされる。よって、チップ積層構造などのチップに応力が集中する構造では、トランジスタの特性変動を解析する場合は、応力特異場まで考慮する必要があることがわかった。次に、本手法を実際の積層構造パッケージの電気特性変動の解析に適用し、その有効性を確認する。

## 6.5 実パッケージ構造への評価手法の適用と検証

### 6.5.1 応力解析と特異応力場解析

#### 6.5.1.1 ピエゾチップを用いた応力値評価用サンプル

実パッケージの有限要素解析を行う前にピエゾテストチップを用いたチップ上の応力の測定を行った。われわれの以前の研究[8]によれば、樹脂封止したパッケージ内部のチップの応力は、ピエゾチップを用いて測定することによって得られたチップ上の応力が0となる点、応力フリー温度を基準とした線形熱応力解析によって、応力フリー温度より低い温度でのチップ上の応力を精度よく見積もることができる。このため、応力フリー温度を求めるためと解析精度のおおまかな検証を行うためにピエゾテストチップを用いて、樹脂封止したパッケージ内部のチップ上の応力を測定した。

測定には、図 6.12 に示すピエゾ抵抗ゲージが配置された模擬チップを用いた。模擬チップには、2 つのピエゾ抵抗ゲージ (GaugeX1, Y1) が形成されている。ピエゾ抵抗ゲージも、Si 単結晶座標系で<001>面に形成されているため、有限要素法モデルを表す便宜上、<110>を x 軸に、< $\bar{1}$ 10>を y 軸にとった座標を用いる。試験片は、正方形の形状のため、GaugeX1 と Y1 の計測値は、ほぼ等しいので、今回は GaugeX1 の計測値で代表させた。使用した模擬チップは、ゲージの長手方向以外の応力成分 (長手方向に垂直な成分や、せん断成分) に関する感度は小さく、長手方向に比較して約 1/100~1/10

であるが、本模擬チップでは、これらの成分を分離できないため、測定値に 1/100～1/10 程度の誤差を原理的に含んでいる。

図 6.13 に、模擬チップを用いて作成した積層構造パッケージのサンプル概要を示す。三次元構造の複雑な応力を実現し、それを測定するために、模擬チップの上に実際の積層構造のパッケージと同じメモリーチップを実装したサンプルを作成した。図 6.13(a) に平面図、図 6.13(b) に断面構造図を示す。メモリーチップの搭載位置を変更することで、非対称な三次元構造のパッケージを模擬し、ピエゾ抵抗部の応力値が、どのように変化するかを計測した。すなわち、実際の積層構造パッケージに近い応力分布を模擬した。メモリーチップ搭載位置は、図 6.13(c) に示す 4 種類 (Case①～Case④) と、ダメージチップを搭載しないサンプル (Case⑤) の計 5 種類を作成し応力値を測定した。

ピエゾ抵抗チップを用いた応力値の測定は、第 4 章、第 5 章と同じ手法・ピエゾチップを用いて応力値を算出した。

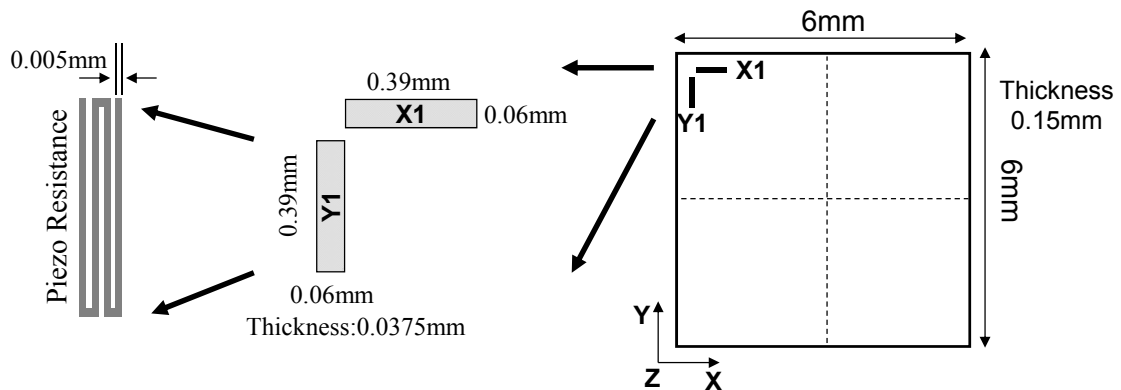


Fig. 6.12 Configuration of piezoresistive gauges on a test chip.

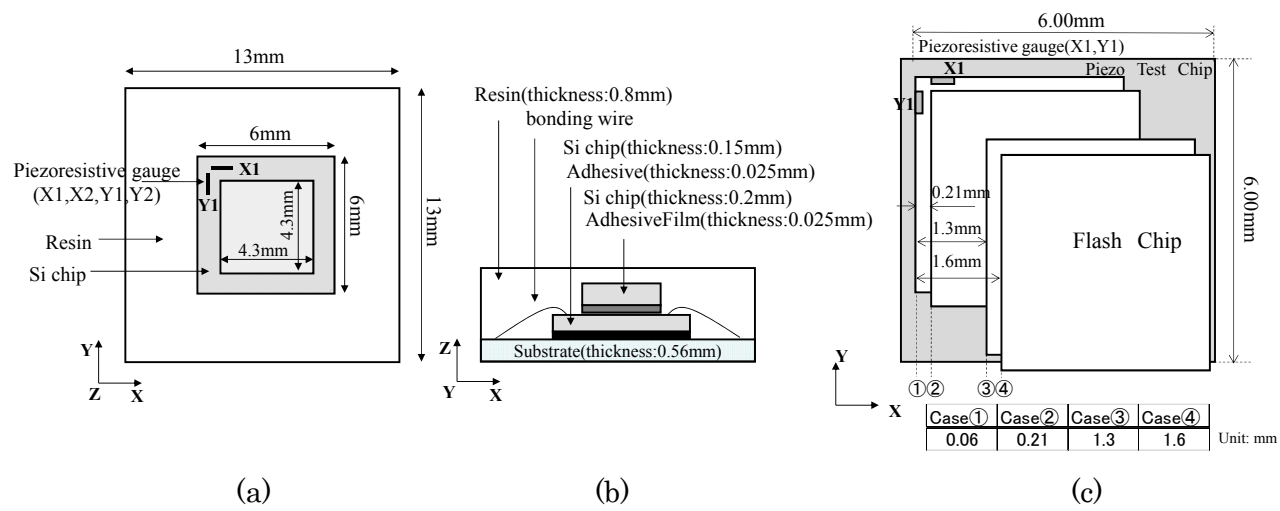


Fig. 6.13 Schematic of a test package. (a) Schematic of stacked chips, (b)Cross section of a package. (c) Edge position of a memory chips on a piezo chip.

### 6.5.1.2 モデリング方法と評価結果

図 6.14 にパッケージ内残留応力推定のための FEM モデルの概要を示す。解析には、MARC2008 を使用し有限要素法モデルは、8 節点 Solid 要素を用いた。パッケージ構成材料の物性値は、実際の材料について測定した。貯蔵弾性率は DMA を用い、線膨張係数の測定には、TMA を用いて、いずれも第 2 章と同じ引張荷重条件下で測定を行った。測定は基板製造工程で発生している残留応力を解放させるため、室温～250℃の温度サイクルでの測定を 2 回行い、2 回目の値を用いた。ダイボンディングフィルムは、厚さが薄く測定用サンプルの作成ができなかったため、材料メーカーのカタログ値を用いた。

図 6.15(a), (b)に模擬チップ以外の構成材料のヤング率と、CTE の温度依存性の値をそれぞれ示す。模擬チップの CTE は、 $3.5 \times 10^{-6}/K$ 、Si の剛性定数は第 4 章の表 4.1 と同じ値を用いた。

次に、実装したチップ表面の応力フリー温度を実際のサンプルを用いて測定した。樹脂のガラス転移点付近以上の温度では、粘弾性や塑性あるいはクリープによる残留応力の緩和が生じていることが考えられる。そこで本研究では、模擬チップの実測から定義される応力フリー温度を解析の基準温度とする線形解析を行った。まず応力フリー温度を決定するために残留応力の温度依存性を計測した。測定結果を図 6.16 に示す。計測は恒温槽の中で行い、ピエゾ抵抗チップの抵抗値の変化より応力を求めた。実験から応力フリー温度はモールド樹脂のガラス転移点近傍の 115℃～130℃にあることがわかった。次に、実験から得られた 130℃の応力フリー温度を用いて線形解析を行って求めたピエゾ抵抗ゲージ X1 の室温 (25℃) の応力 ( $\sigma_{xx}$ ) 値と、測定した X1 の応力値を比較した結果を図 6.17 に示す。この結果から、精度よくモデリングができていることがわかった。図 6.13(c)に示したように、メモリーチップがピエゾチップとの相対位置より 0.21mm 以上離れる Case②③④の実験水準で、ピエゾチップの反りが増加するため残留応力は増加し、ダミーチップを搭載しない Case⑤と、ほぼ同じ値を示すこともわかった。よって、このモデリング方法にて、実際の積層構造パッケージの残留応力値を算出することにした。

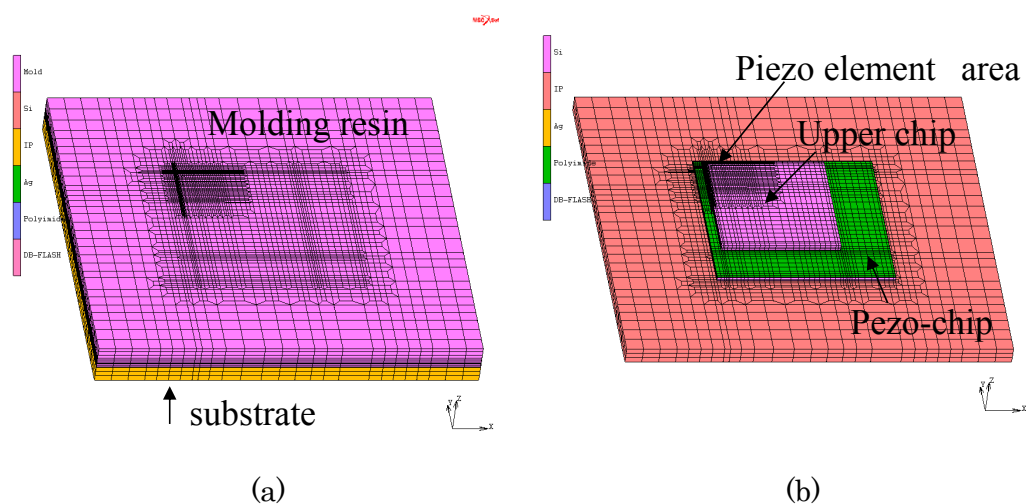


Fig. 6.14 3D FEM model. (a) 3D FEM model with molding resin, (b) 3D FEM model without molding resin.

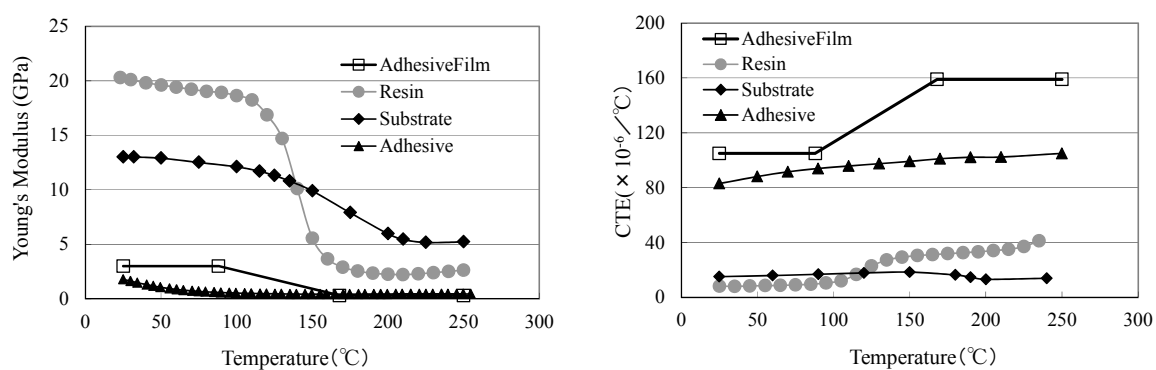


Fig. 6.15 Temperature dependence of material properties. (a) Young's modulus, (b) Coefficient of thermal expansion.

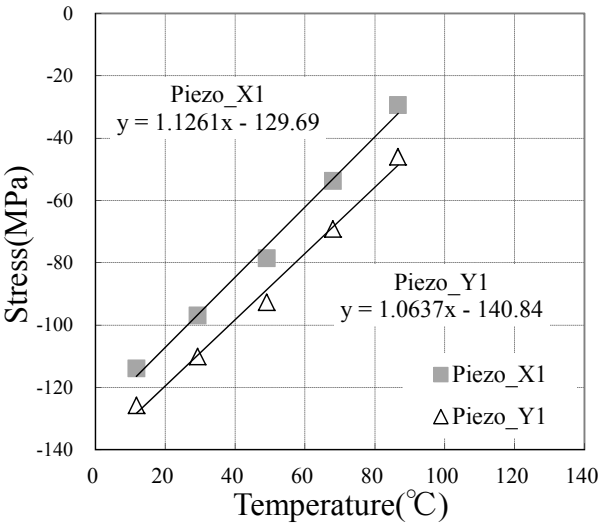


Fig. 6.16 Temperature dependence of material properties.

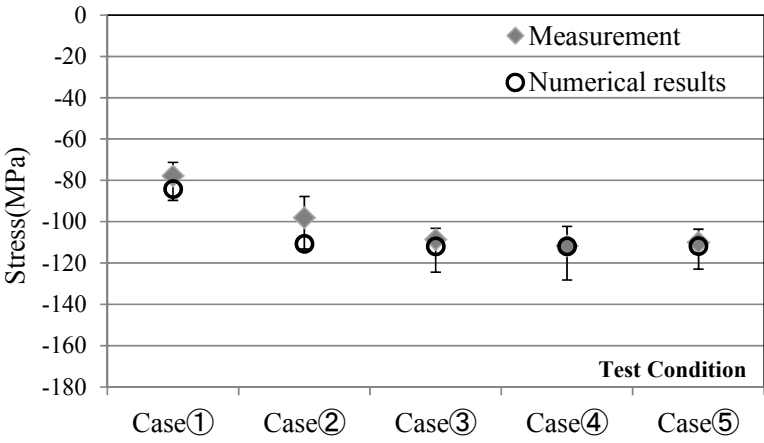
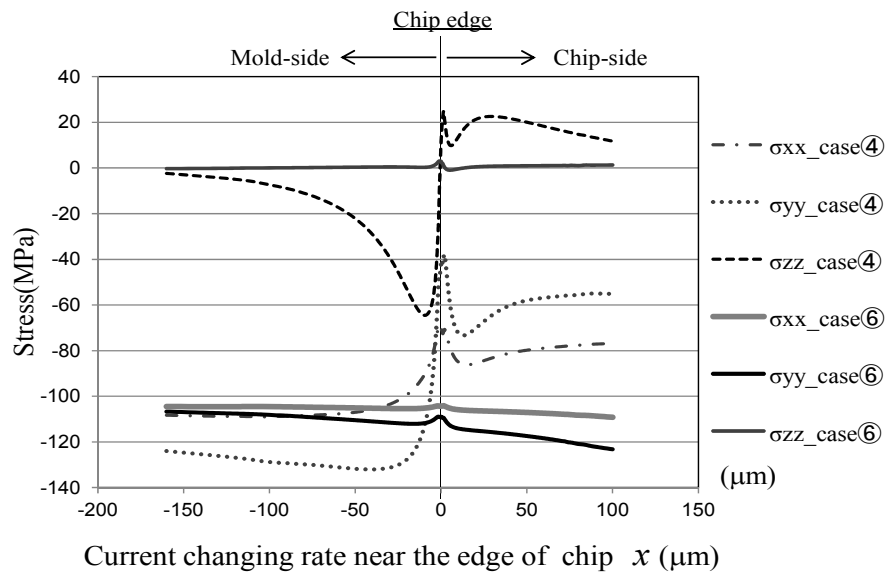


Fig. 6.17 Comparison between experimental measurements and numerical results at 25°C.

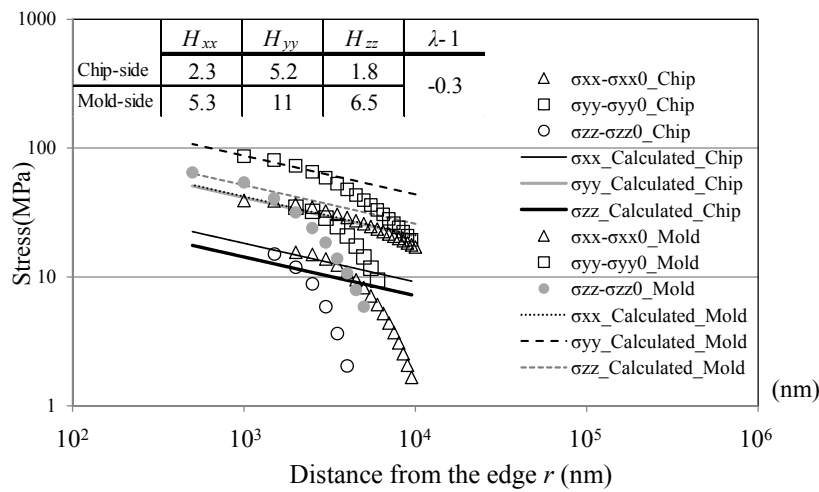
## 6.5.2 評価結果および考察

前述のシミュレーション条件でチップサイズ・位置のみを変更したモデルで実際の積層構造パッケージのチップ表面の残留応力値を算出した。例として図 6.18(a)に、不良が最も多かった図 6.1(b)の case④と不良が全く発生しなかった Case⑥のチップ角部の応力分布を示す。図 6.18(a)の横軸はアナログ回路エリアの中心（上チップ角部に対して垂直方向）を通る節点間の位置で、上チップ角部を原点 0 とし、チップ下部をプラス方向、チップ外部をマイナス方向に定義した座標  $x$  で表示している。縦軸は角部近傍の応力値を示している。図 6.18(b)にチップ角部の応力特異場の結果を示す。ズーム解析による 50nm のメッシュサイズでも樹脂封止による熱応力に起因する応力項である式(6.3)の  $\sigma_{ij0}$  が無視できない値であったため、チップ角部の各応力の変曲点の応力値を  $\sigma_{ij0}$  として、応力特異場を算出した。チップ下部とモールド樹脂側の計 6 応力成分から特異性の指数を算出し、その平均値( $\lambda-1 = -0.3$ )を用いてプロットした。全ての応力で FEM から算出した応力値とほぼ相関が取れている。よって、本手法で求めた応力値から piezo 抵抗マトリックスを用いて電流変化率を求めた。結果を図 6.19 に示す。横軸は上チップ角部からの距離で上チップ下部とモールド側ともに同じ座標軸で示した。縦軸は電流変化率を示す。実験で不良が最も多かった Case④と不良発生が無かった Case⑥の pMOS, nMOS の電流変化率を表している。実際のデバイスの回路には、複数の異なるサイズの pMOS, nMOS が複雑に回路に組み込まれて配置されているため特性が変動したトランジスタを特定し、そのトランジスタの特性を測定することはできない。そのため、piezo 抵抗マトリックスを用いて算出した電流変化率は、実験水準の相対比較として用いた。特性変動が発生しなかった Case⑥の電流変化率の値を用いて、pMOS は 0.38%, nMOS は -5.3% を特性変動しないしきい値と仮定した。上チップ角部から 1 $\mu$ m を超える Case④の pMOS, nMOS の電流変化率は、特性変動が発生しなかった Case⑥の値以下になり実験結果と異なる解析結果となった。しかし、上チップ角部からほぼ 500nm 以内になると、Case④の pMOS の電流変化率が仮定したしきい値の 0.38% を超え、さらに上チップ角部に近づくほど大きくなり Case④で特性変動が発生した実験結果と同じ傾向になることがわかった。一方、nMOS の方は、上チップ角部に近づくほど電流変化率が小さく特性変動が起こらない傾向になることも分かった。以上の結果より、実際の特性変動を発生させたトランジスタは pMOS の可能性が高く、トランジスタの特性変動を予測するためには、チップ角部の応力特異場を考慮する評価

手法が有効なことがわかった.



(a)



(b)

Fig. 6.18 Stress distributions around a chip edge. (a)Mechanical stress around a chip edge, (b) Stress singular field around a chip edge.



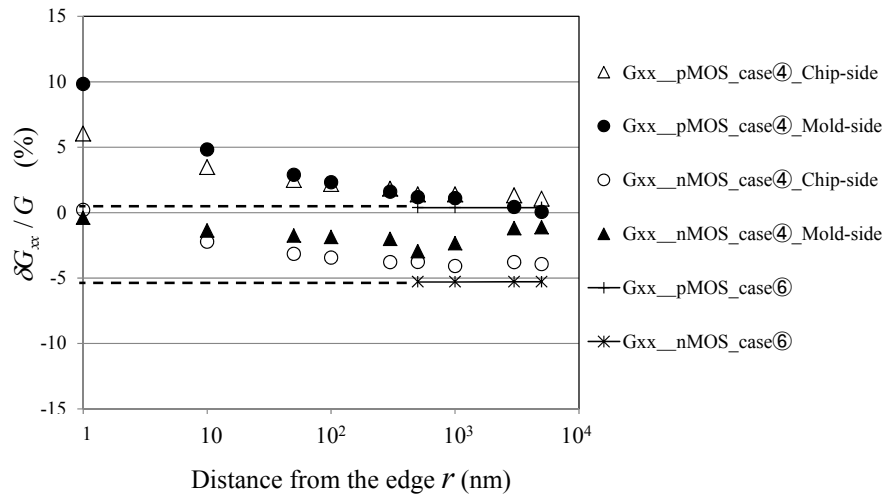


Fig. 6.19 Current changing rate with the distance from the edge of a dummy chip.

6.4 章で述べたダミーチップを用いた 4 点曲げ実験の解析結果と、本章での実パッケージを用いた実験結果の解析結果から、上チップ端部の位置が、ほぼトランジスタの直上、具体的には 500nm 以内の近傍に配置された場合にチップ角部の応力特異場で特性変動が発生するものと推定できた。このことは、実験で行ったアナログ回路エリア外に実装された実験 Case⑤, Case⑥では、全く動作不良が発生しないこととも一致している。次に、不良発生数の差異について考察した。図 6.20(a)にアナログ回路エリアの回路ブロック図と、上チップ搭載位置 (Case①～Case④) を示す。図 6.20(b)に過度電流による異常発振の不良が発生した PLL 回路のブロック図を示す。PLL 回路の特性変動が発生する要因としては、VCO 回路そのものが変動した場合と、図 6.20(b)に示す LPF, Divider, ChargePump などの周辺回路からの入力信号が変動した場合も動作不良は発生する。そのため、今回の実験では、Case④が 2 種類 (VCO, ChargePump) の回路ブロック上に上チップが実装されていることになり、回路変動要因の主要因となる特定のトランジスタの 500nm 以内にチップ角部が実装される可能性が一番高くなるため、不良数が一番多かったと推測した。残りの実験水準については、Case③はチップ角部が LPF 回路上にあるため、Case①, Case②は、チップ角部が Divider 回路上にあるため動作不良が発生したと推測した。アナログ回路ブロックの設計は、回路部の設計ルー

ル, 詳細な回路情報は機密情報として入手できなかったため, Divider の回路ブロックの位置は不明であったが, Case③, Case④の実験結果より, 図 6.20(a)に示す Case①, Case②のチップ角部近傍に Divider 回路の動作不良を起こすトランジスタがあることは容易に推定できる. なお全実験水準にて不良発生率が低いのは, 上チップの角部近傍特異性応力によりトランジスタの特性が不良を引き起こすほどに変動する範囲が非常に狭いために, たまたま上チップの角部が, チップマウンターの搭載精度 ( $\pm 50\mu\text{m}$ ) のバラつきにより, 特定のアナログ回路のトランジスタの上部に位置したときだけに不良が発生し, アナログ回路の上に上チップが載っていても, 上チップの角部がアナログ回路上のトランジスタの上に位置しなければ不良は発生しないためである. 本研究により, 積層構造パッケージの設計では, チップ角部の応力特異性を考慮し, アナログ回路エリア内のトランジスタ直上に応力の特異点となる上部チップの角部が位置しないように配慮する必要があることがわかった.

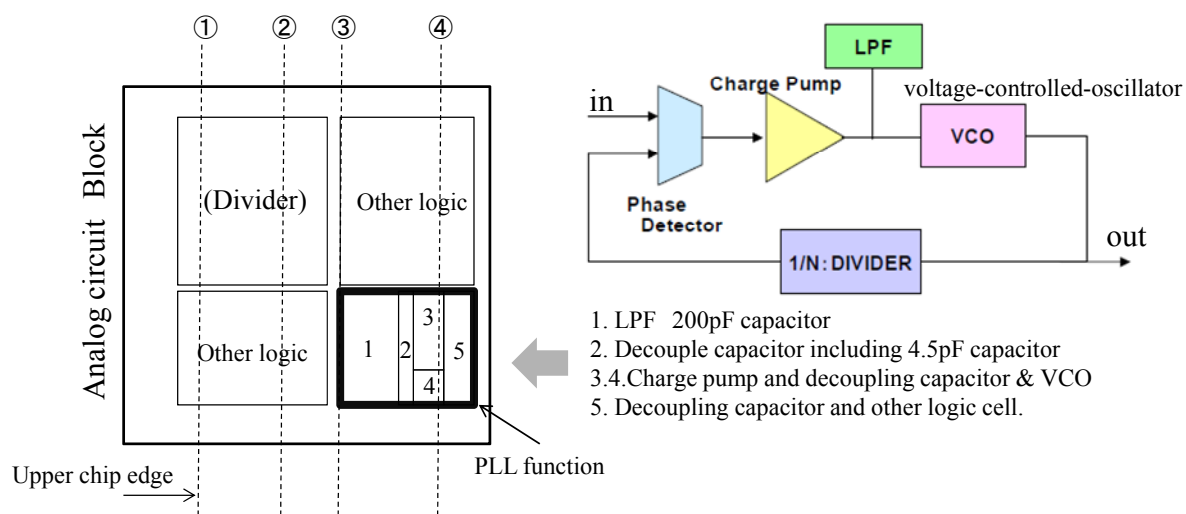


Fig.20 Function block on an analog circuit.

## 6.6 結言

本研究では、複雑な三次元構造の半導体デバイスの電気特性変動を予測する手法として、チップ角部の応力特異場を考慮し、その値を元に、ピエゾ抵抗マトリックスを用いて電流変化率を求める方法を提案した。その結果、以下の知見を得ることができた。

- (1) 平板形状のシリコン試験片に比べ、ダミーチップを平板チップの上に実装した試験片は、4点曲げの荷重に対してトランジスタの電流変動が発生しやすいことが実験で証明できた。また、その曲げ荷重による上チップ角部近傍の応力分布の評価には、チップ角部の応力特異場を考慮し、この特異性応力にピエゾ抵抗マトリックスを適用することで、トランジスタの電流変動を予測できることがわかった。
- (2) 三次元積層構造のパッケージ内において、積層したチップ角部の特異性応力が、アナログ回路の動作不良を引き起こす現象を、模擬チップをアナログ回路の上に搭載したモデル積層構造パッケージを用いて再現することができた。その実験結果と、応力特異場とピエゾ効果マトリックスを用いた電流変化率の算出結果を比較することで、アナログ回路に発生する不良の原因を推定することができた。よって、本研究で提案するようなチップ角部の応力特異性を考慮した評価手法が積層構造パッケージの不良発生の改善に有効であることが示唆された。
- (3) アナログ回路を有するチップを用いた積層構造パッケージの設計においては、チップ搭載機器の性能まで考慮し、アナログ回路エリア内のトランジスタ直上に応力の特異点となる上部チップの角部が位置することが無いように配慮する必要があることがわかった。

## 第 6 章の参考文献

- [1] C.S. Smith, “Piezoresistance effect in germanium and silicon”, Physical Review, Vol.94, No.1, pp.42-49, 1954.
- [2] J.C.Suhling, R.C.Jaeger, “Silicon piezoresistive stress sensors and their application in electronic packaging”, IEEE Sensors Journal, Vol.1, No.1, pp.14-30, 2001.
- [3] A.T.Bradley, R.C.Jaeger, J.C.Suhling, K.J.O’ Connor, “Piezoresistive Characteristics of Short-Channel MOSFETs on (100)Silicon”, IEEE Transactions on electron devices, Vol.48, No.9, pp.2009-2015, 2001.
- [4] 吉見 信, “最近の SOI (Silicon-on-insulator) 素子技術”, 応用物理, Vol.70, No.2, pp.165-168, 2001.
- [5] H.Ali, “Stress-induced parametric shift in plastic packaged device”, IEEE Transactions on Components, packaging and manufacturing technology, Vol.20, No.4, pp.458-462, 1997..
- [6] 小金丸 正明, 池田 徹, 宮崎 則幸, 友影 肇, “樹脂封止実装時の残留応力に起因した nMOSFET の DC 特性変動評価と電子移動度モデルに関する検討”, 電子情報通信学会論文誌(C), Vol.J91-C, No.4, pp.257-272, 2008.
- [7] 三浦 英生, 西村 朝雄, “パッケージング応力起因の半導体素子変動”, 日本機械学会論文集 A 編, Vol.61, No.589, pp.1957-1964, 1995.
- [8] 小金丸 正明, 池田 徹, 宮崎 則幸, “ピエゾ抵抗テストチップと有限要素法を用いた樹脂封止に起因する半導体チップ表面の残留応力評価”, エレクトロニクス実装学会誌, Vol.9, No.3, pp.186-194, 2006.
- [9] 服部 敏雄, 西村 朝雄, 村上 元, “応力特異場パラメータを用いた半導体プラスチックパッケージの信頼性評価”, 材料, Vol.39, No.443, pp.1101-1105, 1990.

- 
- [10] 野村 吉昭, 池田 徹, 宮崎 則幸, “熱応力下の異方性異種材界面接合端部の特異応力場解析”, 日本機械学会論文集 A 編, Vol.74, No.737, pp. 37-44, 2008.
- [11] Y.Nomura, T.Ikeda, and N.Miyazak, “Stress Intensity Factor Analysis at an Interfacial Corner between Anisotropic Bimaterials under Thermal Stress”, Engineering Fracture Mechanics, Vol. 76, pp. 221-235, 2009.



## 第 7 章

# 結論

本論文では、実装応力に起因する半導体パッケージの反りと残留応力評価、および応力に起因する電子デバイスの電気的特性変動評価を目的に、樹脂基板の線膨張係数を簡易的に算出する手法、半導体パッケージの反りと、シリコンチップ表面の残留応力の解析手法、応力特異場解析とピエゾ効果モデルを用いた半導体デバイス特性変動評価手法を示した。以下に、本研究で得られた結果、知見を示し、本論文の結論とする。

第 2 章では、半導体パッケージ基板の配線 CAD データから直接 FEM 用のシェル要素を生成するプログラムを開発し、基板構成材料の物性データから、2 層基板と 4 層基板の見かけの線膨張係数を算出する方法を示した。本評価手法では、設計のたびに変化し、解析結果に最も影響を及ぼすと考えられる基板の銅配線の影響を、プログラムにより簡易的にモデル化し、基板構成材料の物性値は、実際の基板に用いた材料を実測し、粘弾性物性を含む物性データを求めた。基板構成材料の物性値と詳細な銅配線データを用いることで、基板の見かけの CTE を精度良く求めることができた。本章で示した手法は、製品開発の初期段階である基板設計の配線 CAD データを元に、基板を試作すること無く、基板の見かけの CTE を求めることが可能となり、その値を用いてパッケージの反りをシミュレーションすることにより、試作後の反り問題の発生を事前に予測できる。そのため、試作回数の削減につながる非常に有効な手法と考えられ、実際に設計現場で用いられている。

第 3 章では、基板構成材料と配線 CAD データから、第 2 章で求めた基板の見かけの CTE を用いて Flip chip パッケージの反り解析精度の検証を行った。このために、実際の Flip chip パッケージを模擬した、シリコンチップを樹脂基板にダイボンディング剤を用いて実装したテストサンプルを作成し、モアレ干渉縞反り測定装置を用いて温度依存の反りを測定した。反り解析では、基板の構成材料の粘弾性物性を考慮した。反り解析結果と実際の反り値を比較すると、実験結果と概ね一致することがわかった。

第 4 章では、Flip chip パッケージの熱変形解析において、パッケージの反りと半導体チップに生じる残留応力を同時に精度よく解析する手法について検証した。シミュレーション精度の妥当性を検証するために、応力測定用のピエゾ抵抗ゲージを配置した実際のデバイスを模擬したチップを使用し、模擬チップと基板をダイボンディング剤で接合した後の Flip chip パッケージの反りと応力の解析手法について評価した。半導体チップや樹脂基板の初期反りを考慮し、かつ、半導体パッケージに用いられているダイボンディング剤の粘弾性特性を考慮することでパッケージの反りとチップ上の残留応力の両方を精度よく解析できるモデルを提案することができた。本章で得られた手法により、これまでの半導体パッケージの反りと残留応力を予測する際に異なる応力フリー温度を用いるという、解析上の矛盾を解消することができた。

第 5 章では、樹脂封止を行った後のパッケージについて、反りと応力の解析手法について評価した。樹脂封止されたパッケージの反りとチップ表面の残留応力の解析手法には、第 4 章で述べたパッケージ構成材料の初期の反りと、粘弾性物性を考慮する解析方法を用いた。その結果、反りは精度よく解析できたが、チップ表面の残留応力については精度良く解析できなかった。その原因は、封止樹脂の模擬チップ界面付近における応力緩和現象が、樹脂の粘弾性解析のみでは十分考慮できていないためと推測し、デジタル画像相関法を用いて模擬チップと封止樹脂の界面近傍の熱ひずみを計測した。その結果、ガラス転移点以上における模擬チップと封止樹脂の界面付近のひずみは、封止樹脂の粘弾性解析から予測されるよりもはるかに大きいことが観察された。このことより、チップと封止樹脂の界面付近では、封止樹脂のフィラー（球体のシリカ材）の密度が低くなるために、フィラーの無いエポキシ樹脂単体の物性に近づくと仮定して有限要素法



解析を行ったところ、デジタル画像相関法により計測したひずみと有限要素法解析の結果は良く一致した。しかし、フィラー密度の低い界面層を仮定した解析を行なっても、チップ上面の残留応力の模擬チップによる計測結果は、有限要素解析の結果より小さくなった。模擬チップ上の応力の測定値が解析値よりも小さくなる原因は、模擬チップと封止樹脂界面での局所的な滑りが発生しているためでは無いかと推定された。このため、パッケージの反りに加えて、模擬チップの残留応力を正しく推定するには、模擬チップと封止樹脂の界面におけるすべりなどを考慮するなど、さらに検討を要することがわかった。

第6章では、シミュレーションで求めたチップ上の残留応力から、半導体デバイスの電気特性変動を予測するシミュレーション技術の検証を行った。三次元積層構造の半導体チップが樹脂封止されたパッケージを対象とし、応力特異場解析とピエゾ効果モデルを用いたデバイス特性変動評価手法を提案した。その評価のために、4点曲げ試験により半導体デバイスに応力を負荷した状態でその電流・電圧特性を計測する試験システムを構築した。そのシステムで、三次元積層チップを模擬した試験片を用いて4点曲げ試験を行い、チップ上の pMOS デバイスの電気特性変動を計測した。その際、有限要素法応力解析結果を用いた応力特異場解析により pMOS デバイス近傍の応力場を評価し、ピエゾ効果モデルを用いて pMOS デバイスの電気特性変動を予測した。この予測結果を実験結果と比較・検証し、複雑な三次元構造の半導体デバイスの電気特性変動を予測する手法として、チップ角部の応力特異場を考慮し、その値を元に、ピエゾ抵抗マトリックスを用いて電流変化率を求める方法を提案した。最後に、この評価手法を実際に電気特性変動が起こった三次元積層チップが樹脂封止されたパッケージに適用し、提案手法の妥当性・有用性も示した。

本論文で示した手法は応用範囲が広く、工業的に非常に有効で、今後のさらなる発展を設計現場が望んでいる技術である。特に、半導体パッケージの基板は、薄型化・多層化により、基板製作時に既に発生する基板単体での反りが大きくなる傾向にあり、開発時の大きな問題となっている。そのため、今後は、CTE に加え、基板の反りまでを精度よく解析できる技術の継続的な研究開発が期待されている。

一方、半導体デバイスの回路設計現場においても、微細配線化の影響で応力と MOS デバイスの電気特性変動が常に懸念されており、MOS デバイスの設計のための歪みシリ

コン用の不純物の材料選定の解析も行われている。それらの解析技術と合わせて、今後の技術開発が期待されている。

## 関連発表論文

### 投稿論文

- [1] 松田和敏, 池田 徹, 宮崎則幸, “多層基板の熱変形挙動の予測およびそのパッケージの反り解析への適用”, 日本機械学会論文集A編, Vol.76, No.762, pp.127-135, 2010.
- [2] 松田和敏, 池田 徹, 宮崎則幸, “パッケージ構成材料に起因するチップ表面の残留応力と反り評価”, 日本機械学会論文集A編, Vol.78, No.793, pp.1275-1283, 2012.
- [3] 松田和敏, 池田 徹, 小金丸正明, 宮崎則幸, “樹脂封止された積層半導体チップの残留応力に起因する電気特性変動評価手法”, 日本機械学会論文集A編, Vol.79, No.797, pp.74-88, 2013.

### 国際会議

- [1] Kazutoshi MATSUDA, Toru IKEDA, Nobuyuki SHISHIDO, and Noriyuki MIYAZAKI “Evaluation of Warpage and Residual Stress in Semiconductor Chips Caused by the Combination of Materials in Packages”, International Conference on Electronics Materials And Packaging (EMAP2011), Kyoto, Japan, December 2011.

## 国内学術講演会

- [1] 松田和敏, 池田 徹, 宮崎則幸, “多層基板の熱変形挙動の予測およびそのパッケージの反り解析への適用”, エレクトロニクスにおけるマイクロ接合・実装技術 シンポジウム, 横浜市, 2009 年 1 月.
  
- [2] 松田和敏, 池田 徹, 宮崎則幸, “樹脂封止された積層半導体チップの残留応力に起因する電気特性変動評価”, 日本機械学会第 23 回計算力学講演会, 北見市, 2010 年 9 月.
  
- [3] 松田和敏, 池田 徹, 小金丸正明, 宮崎則幸, “樹脂封止された積層半導体チップの残留応力に起因する電気特性変動評価”, 日本機械学会第 25 回計算力学講演会, 神戸市, 2012 年 10 月.



## 謝辞

本論文は、筆者が京都大学大学院工学研究科に在籍してまとめたものです。大学院での指導教官でありました宮崎 則幸 教授には、終始的確かつ熱心なご指導を賜りました。また、鹿児島大学 池田 徹 教授（2012年9月まで京都大学大学院工学研究科機械理工学専攻准教授）には、一貫して献身的かつ懇切丁寧なご指導を賜りました。両先生のご指導のもとで研究活動を行えたことは、筆者の幸せであります。心より敬意と感謝の意を表します。

本論文を完成するにあたり、京都大学大学院工学研究科 北條 正樹 教授ならびに西脇 眞二 教授には、多くの的確な御助言を賜りました。深く感謝の意を表します。

財団法人 福岡県産業・科学技術振興財団 小金丸 正明には、本研究を遂行するにあたって多くの有益な御助言、ご協力を賜りました。心からの謝意を表します。

名古屋工業大学 宍戸 信之 特任研究員には、試験片の測定をはじめ、多くのご協力を頂きました。心より御礼を申し上げます。

本論文の研究を実施するにあたっては、筆者が所属するソニーセミコンダクタ（株）ならびにソニー（株）の職場の先輩、同僚に多大な御援助を頂きました。また、京都大学大学院工学研究科の宮崎研究室諸氏には、多大な御協力を頂きました。厚く御礼申し上げます。

最後に、筆者の研究活動を支えてくれた家族に感謝致します。